

Circuits logiques programmables

PLD : programmable logic device

Systeme informatique

- Pour réaliser un système informatique:
 - Processeur & programmation
 - Avantages: temps développement, souplesse
 - Désavantages: temps d'exécution, latence
 - ASIC
 - Avantages: exécution très rapide, parallélisme, consommation optimisée
 - Désavantages: pas de flexibilité, temps et coûts de développement très important
 - Logique programmable
 - Avantages: flexibilité, exécution rapide, parallélisme
 - Désavantages: plus lent ASIC, temps de développement important

Classification circuits programmables

Deux grands groupes :

- Les mémoires "morte" PROM
Programmable Read Only Memory
- Les circuits logiques programmables PLD
Programmable Logic Device
 - nom générique donné à l'ensemble des circuits monolithiques formés de cellules logiques qui peuvent être programmés par l'utilisateur

Représentation d'une fonction logique

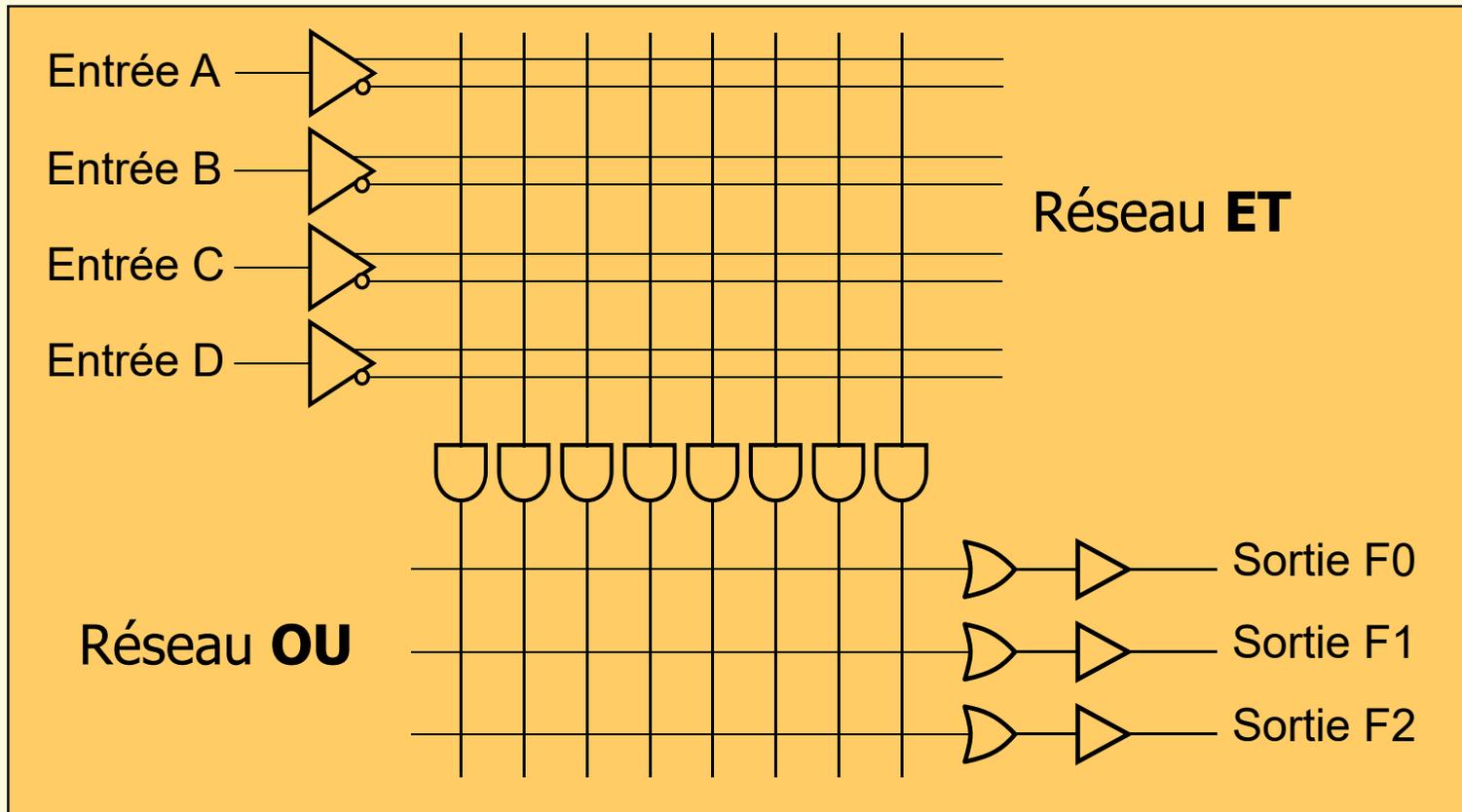
- Une fonction logique peut-être exprimée par une équation logique :

$F = \text{somme de produits}$

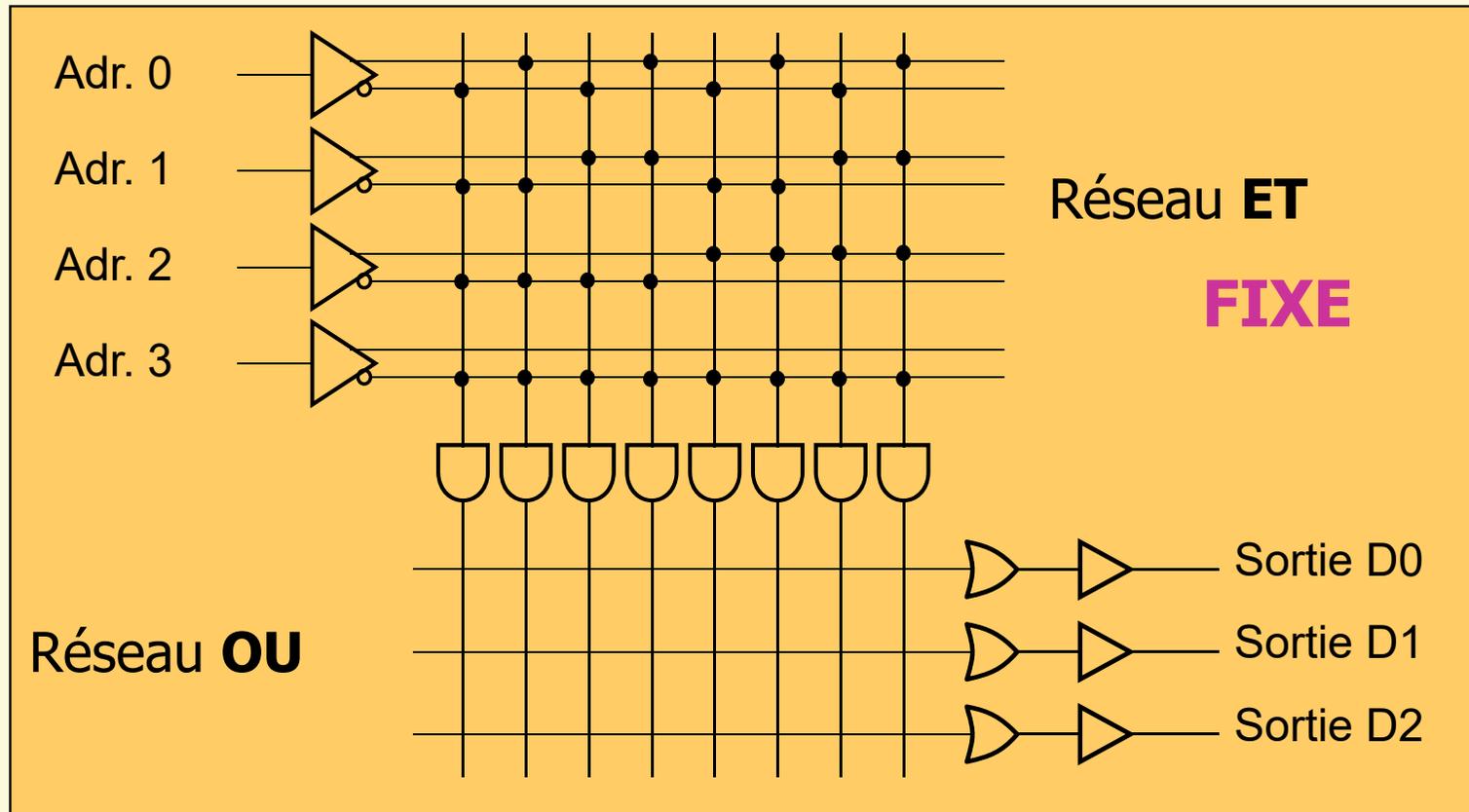
Exemple : $F0 = (D \text{ and } B \text{ and } A) \text{ or } (\text{not}C \text{ and } A) \text{ or } (D \text{ and } \text{not}C)$

- Circuit universel :
un réseau de ET suivi d'un réseau de OU

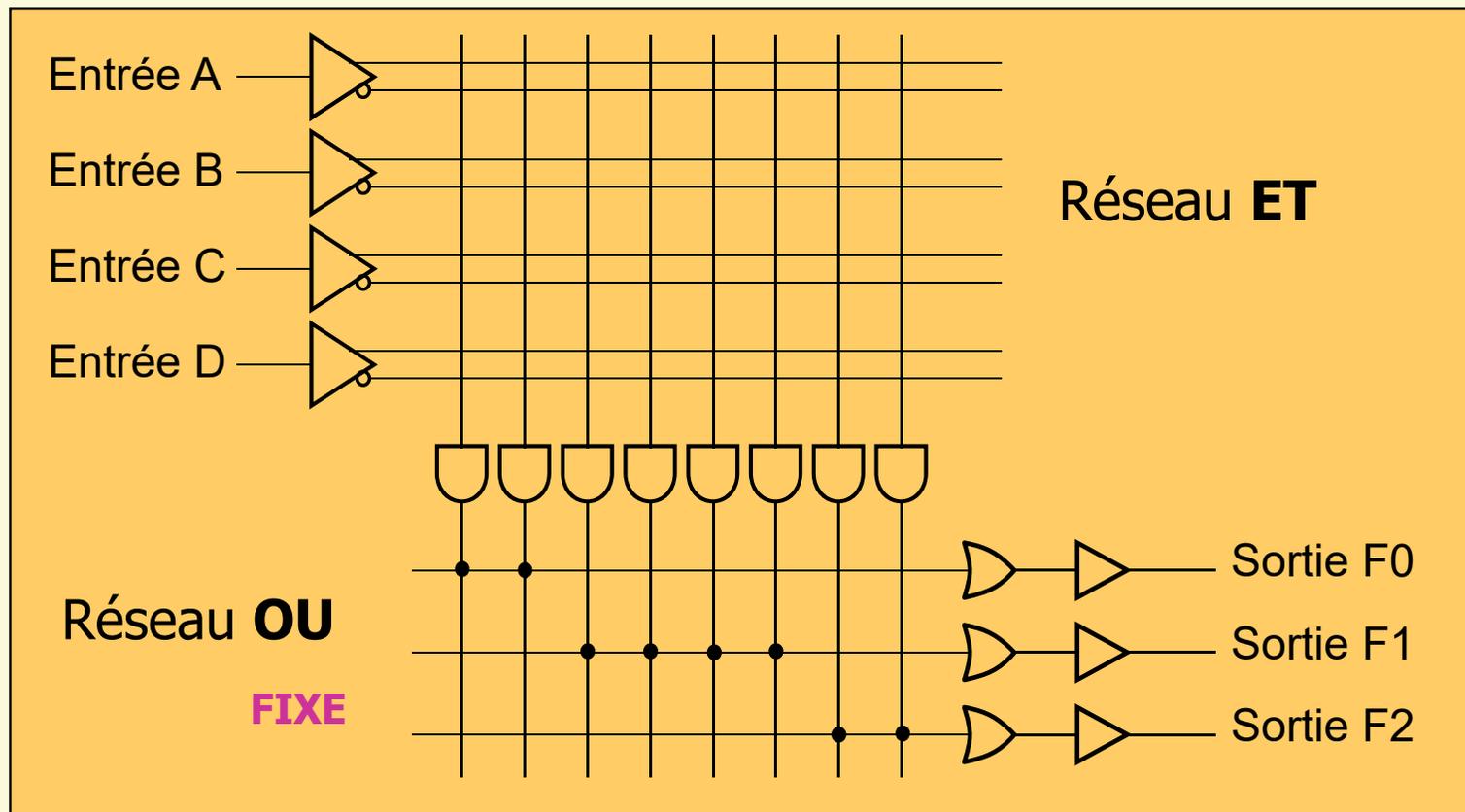
Circuit universel (FPLA : Field Prog. Logic Array)



Mémoire PROM (PLE : Prog. Logic Element)



Circuit SPLD, CPLD (PAL : Prog. Array Logic)



Structure des circuits programmables

Famille	réseau ET	réseau OU	Circuits
FPLA <i>Field Prog. Logic Array</i>	programmable	programmable	†GAL6001
PAL <i>Prog. Array Logic</i>	programmable	fixe	SPLD, CPLD
FPGA <i>Field Prog. Gate Array</i>	programmable	inexistant	FPGA
PLE <i>Prog. Logic Element</i>	fixe	programmable	PROM

Types de PLD "Programmable Logic Device"

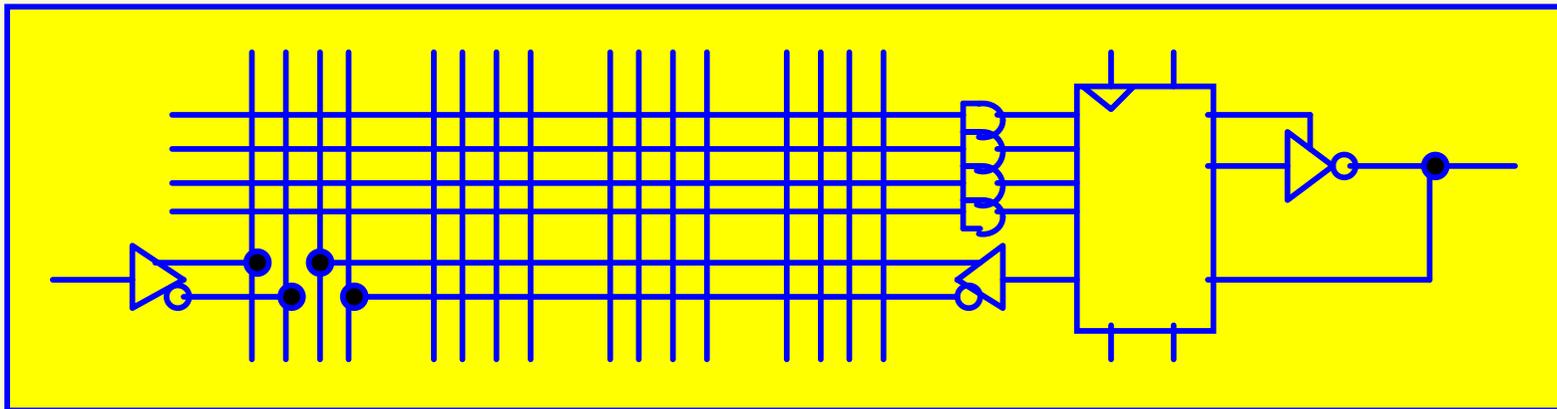
- SPLD « Simple PLD » †
 - PAL « Programmable Array Logic »
 - GAL « Generic Array Logic »
- CPLD => en diminution
 - « Complex Programmable Logic Devices »
- FPGA « Field Programmable Gate Arrays »
 - Famille la plus répandue
- HardCopy « hard PLDs », routage fixé lors fabrication
 - migration des PLDs dans un "ASIC" basé sur l'architecture des PLDs et produit par les fabricants de PLDs
- ASIC « Application Specific Integrated Circuits »

Définition :

- SPLD, *Simple Programmable Logic Device*
 - circuit programmable élémentaire appelé aussi GAL (*Generic Array Logic*) composé d'un bloc d'entrée, d'une matrice ET programmable, d'une matrice OU fixe et d'un bloc de sortie

... circuit SPLD

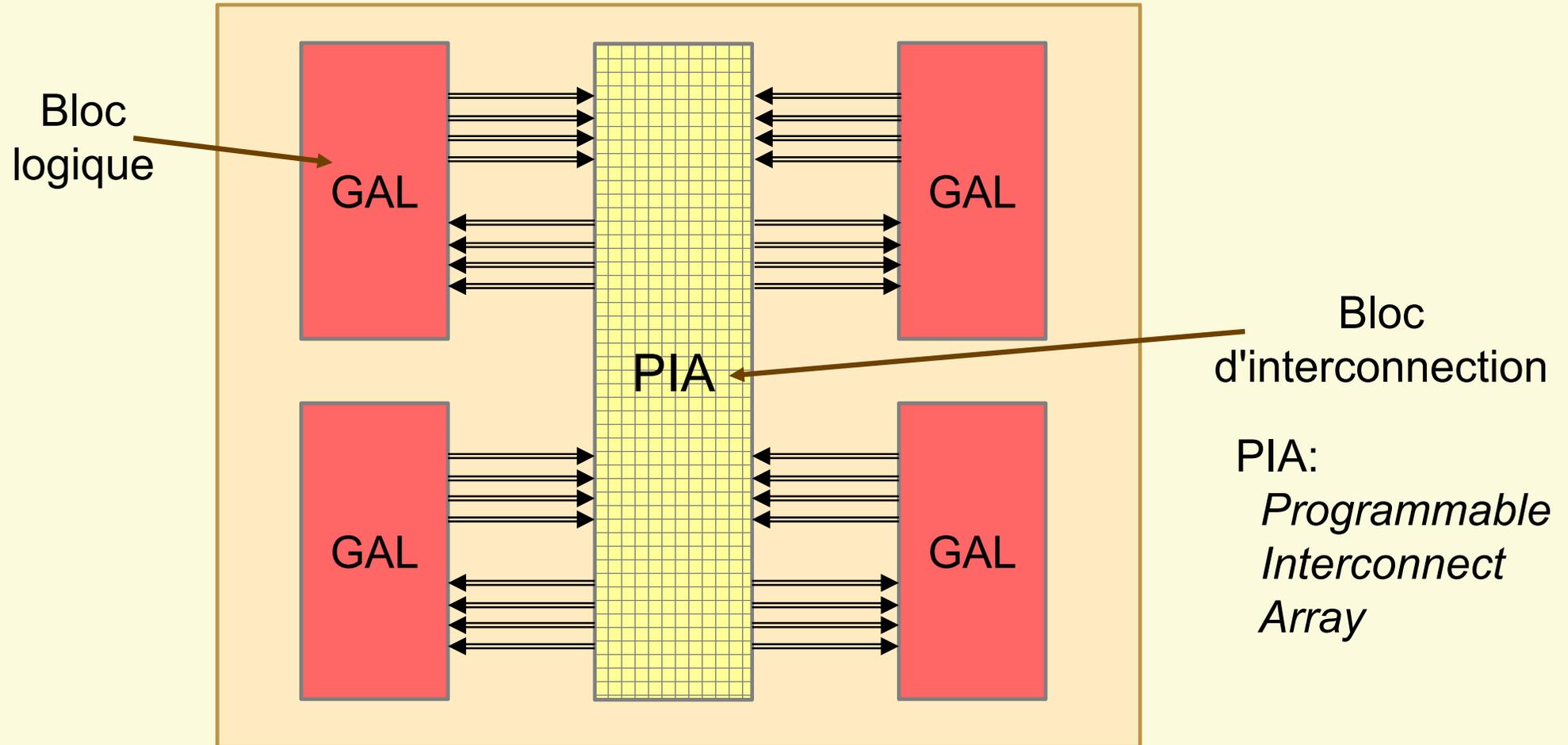
- Cellule de base d'un circuit
 - Réseau de ET programmable
 - Réseau de OU fixe (figure 4 termes)
 - Flip-flop D ou bypass (combinatoire)



Définition :

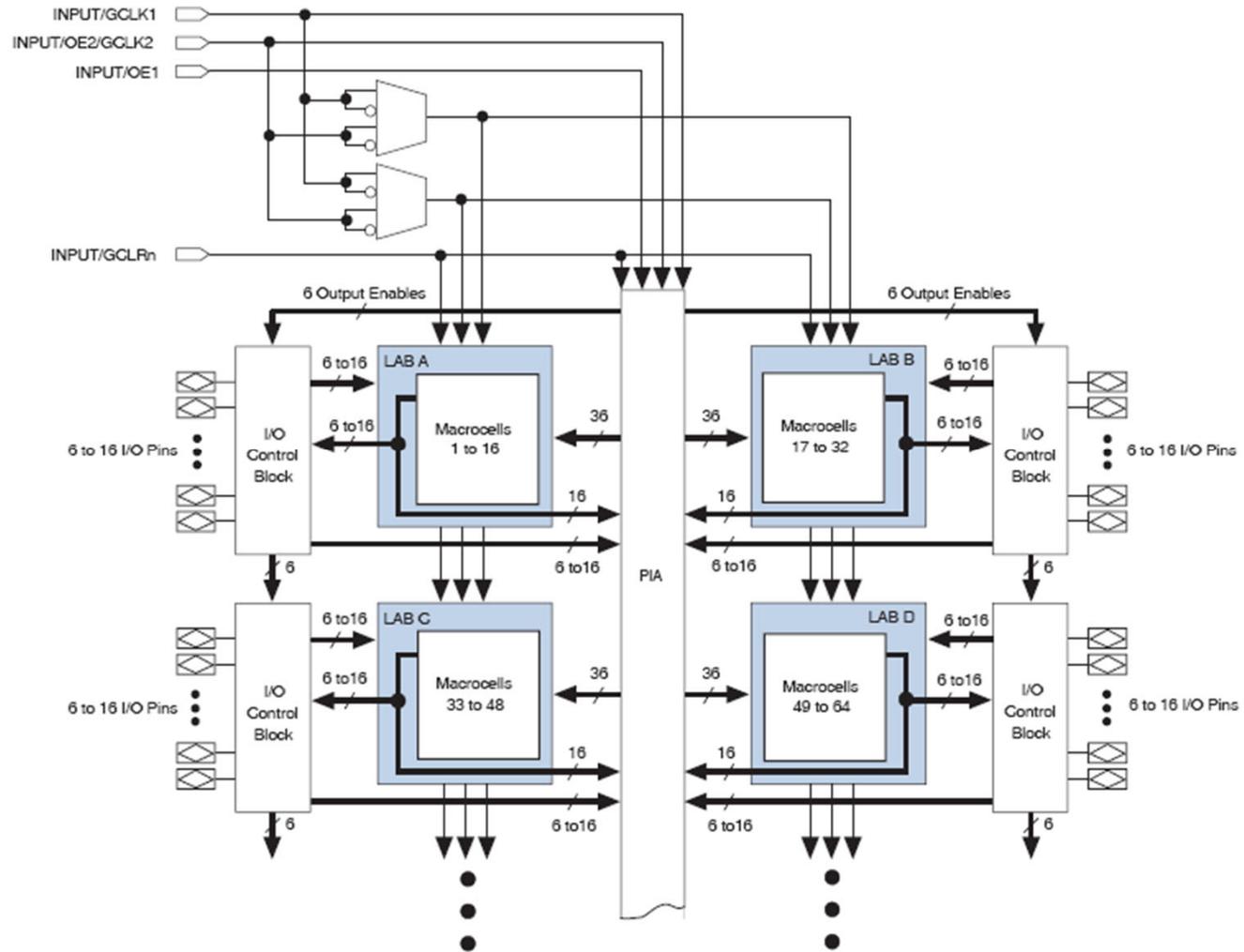
- CPLD, *Complex Programmable Logic Device*
 - circuit programmable hiérarchique regroupant un ensemble de circuits programmables élémentaires (SPLD) et un réseau d'interconnexion programmable
 - chacun des blocs logiques élémentaires est équivalent à un circuit GAL et l'ensemble de ceux-ci est relié au bloc d'interconnexion PIA (*Programmable Interconnect Array*)

... circuit CPLD ...

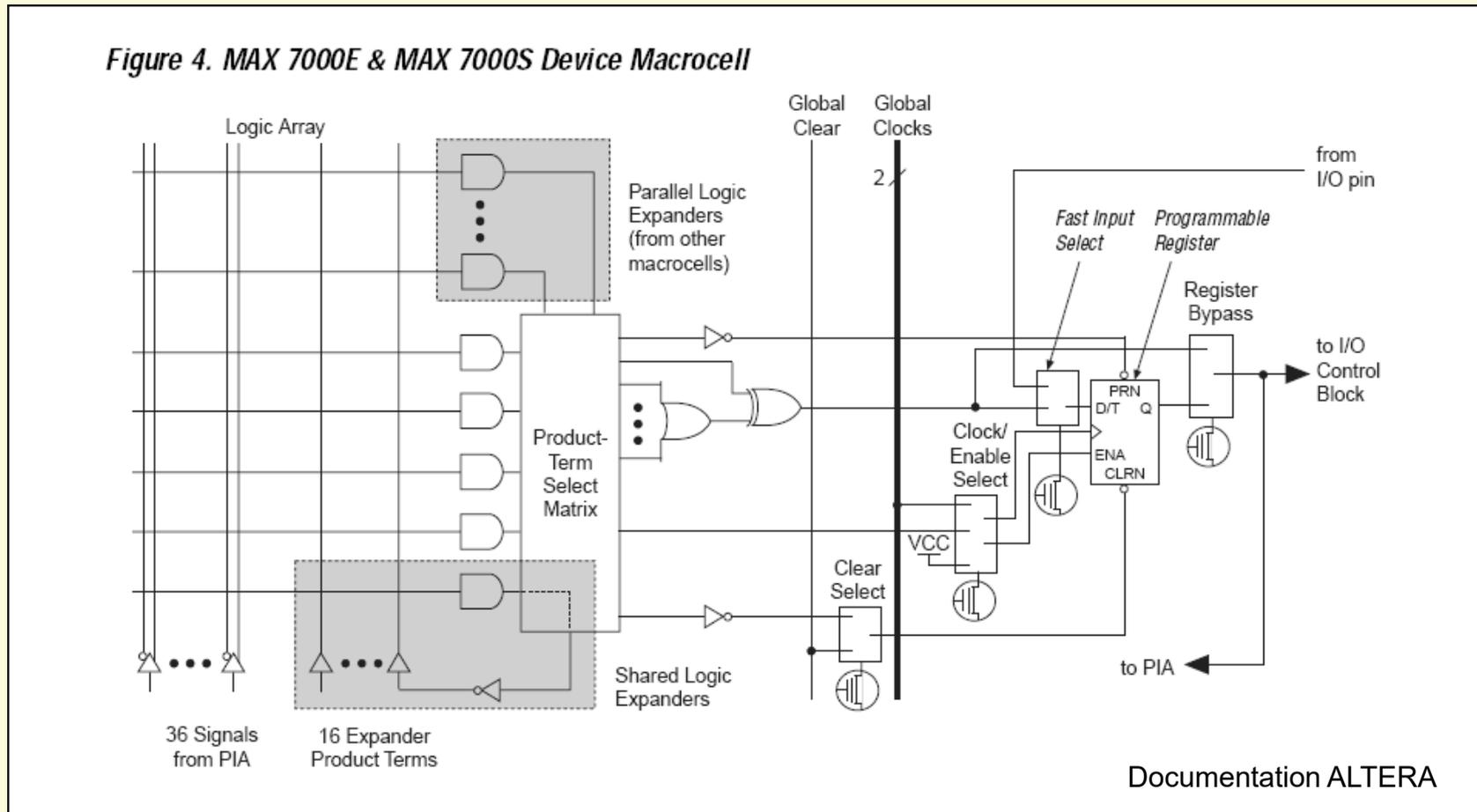


CPLD Altera EPM7000S

Figure 2. MAX 7000E & MAX 7000S Device Block Diagram



MAX 7000, structure macro cell



Famille Max7000s

Table 2. MAX 7000S Device Features

Feature	EPM7032S	EPM7064S	EPM7128S	EPM7160S	EPM7192S	EPM7256S
Usable gates	600	1,250	2,500	3,200	3,750	5,000
Macrocells	32	64	128	160	192	256
Logic array blocks	2	4	8	10	12	16
Maximum user I/O pins	36	68	100	104	124	164
t_{PD} (ns)	5	5	6	6	7.5	7.5
t_{SU} (ns)	2.9	2.9	3.4	3.4	4.1	3.9
t_{FSU} (ns)	2.5	2.5	2.5	2.5	3	3
t_{CO1} (ns)	3.2	3.2	4	3.9	4.7	4.7
f_{CNT} (MHz)	175.4	175.4	147.1	149.3	125.0	128.2

Documentation ALTERA

Famille Max-V

- Structure FPGA vendue comme CPLD!

Table 1-1. MAX V Family Features

Feature	5M40Z	5M80Z	5M160Z	5M240Z	5M570Z	5M1270Z	5M2210Z
LEs	40	80	160	240	570	1,270	2,210
Typical Equivalent Macrocells	32	64	128	192	440	980	1,700
User Flash Memory Size (bits)	8,192	8,192	8,192	8,192	8,192	8,192	8,192
Global Clocks	4	4	4	4	4	4	4
Internal Oscillator	1	1	1	1	1	1	1
Maximum User I/O pins	54	79	79	114	159	271	271
t_{PD1} (ns) (1)	7.5	7.5	7.5	7.5	9.0	6.2	7.0
f_{CNT} (MHz) (2)	152	152	152	152	152	304	304
t_{SU} (ns)	2.3	2.3	2.3	2.3	2.2	1.2	1.2
t_{CO} (ns)	6.5	6.5	6.5	6.5	6.7	4.6	4.6

Notes to Table 1-1:

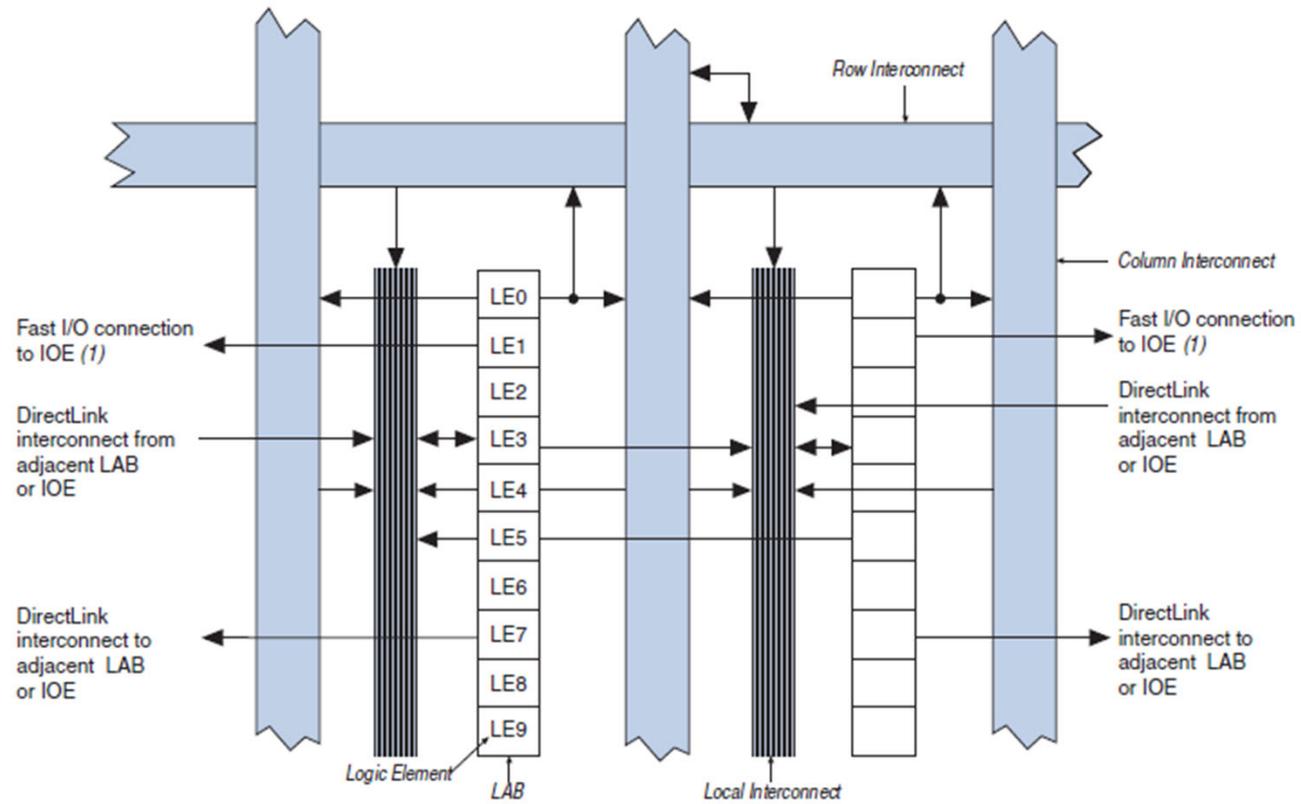
- (1) t_{PD1} represents a pin-to-pin delay for the worst case I/O placement with a full diagonal path across the device and combinational logic implemented in a single LUT and LAB that is adjacent to the output pin.
- (2) The maximum global clock frequency, f_{CNT} , is limited by the I/O standard on the clock input pin. The 16-bit counter critical delay will run faster than this number.

Timing
cst!

- Intel® MAX® 10 **FPGAs** revolutionize non-volatile integration

Famille Max-V

Figure 2-3. LAB Structure for MAX V Devices

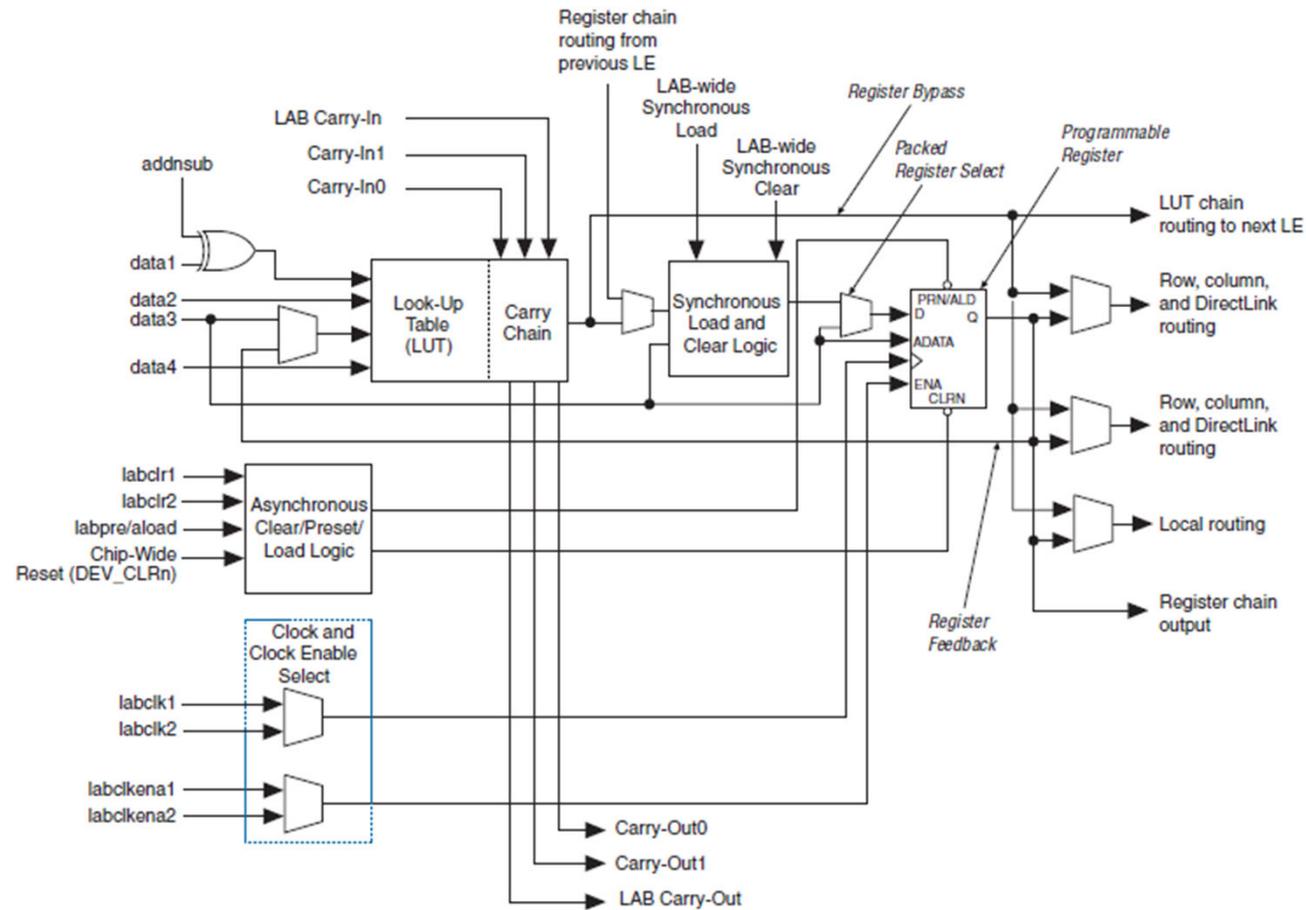


Note to Figure 2-3:

(1) Only from LABs adjacent to IOEs.

Famille Max-V

Figure 2-6. LE for MAX V Devices

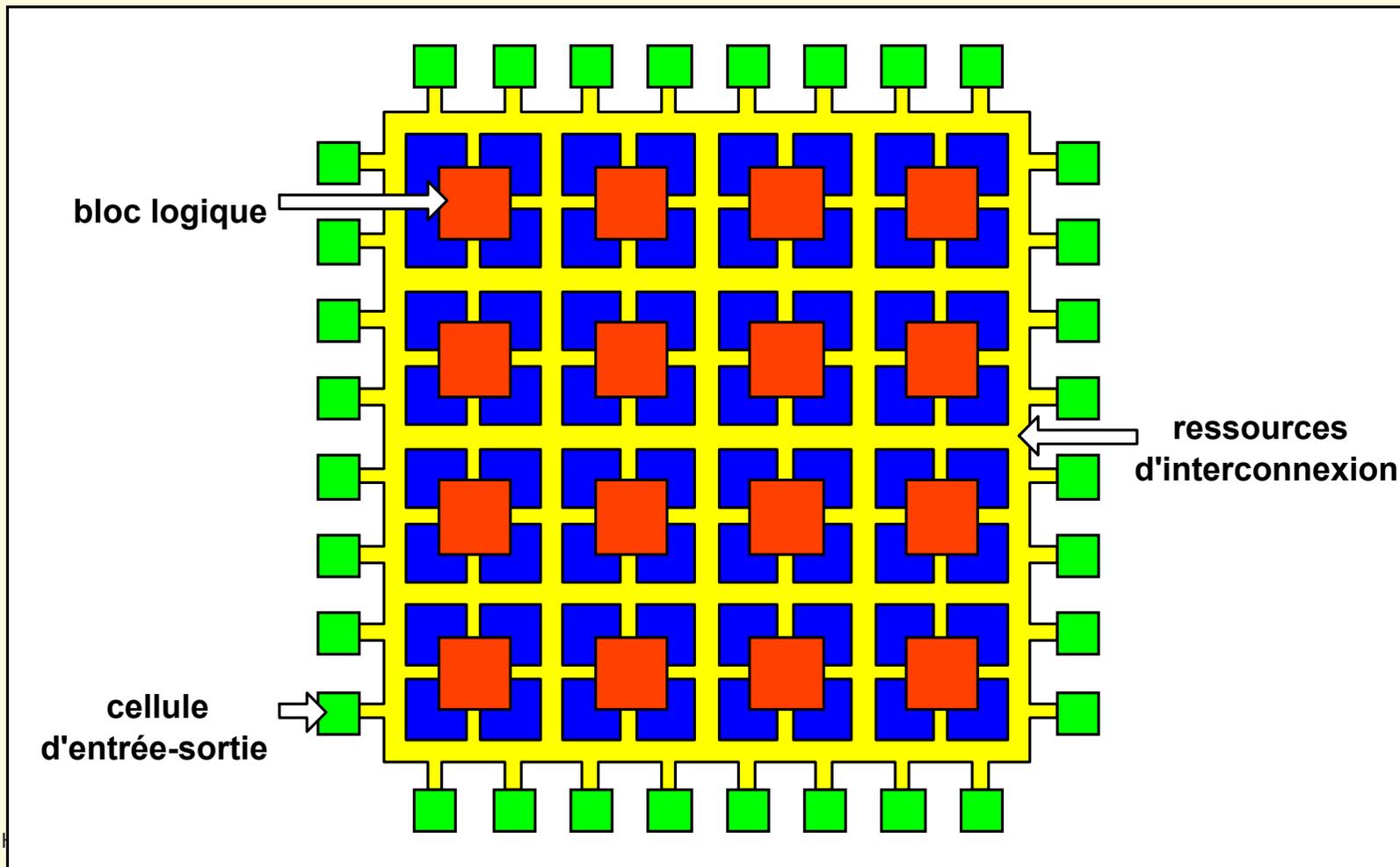


Définition :

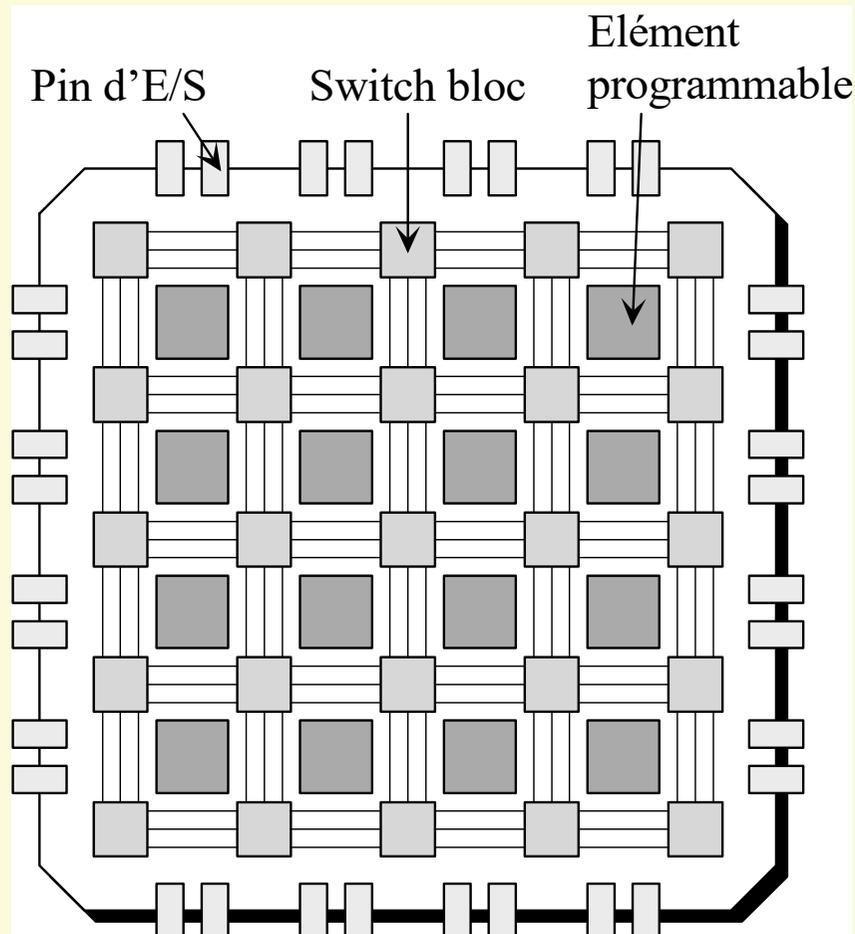
- FPGA, *Field Programmable Gate Array*
 - circuit programmable composé d'un réseau de petits blocs logiques, de cellules d'entrée-sortie et de ressources d'interconnexion totalement flexibles
 - la granularité des cellules logiques des FPGA est mentionnée comme fine
 - nombre d'entrées de 4 à 6
 - granularité grossière dans les CPLD, ce type de circuit dispose de grandes cellules avec plus de 32 entrées (EPM 52 entrées)

... circuit FPGA ...

Structure interne



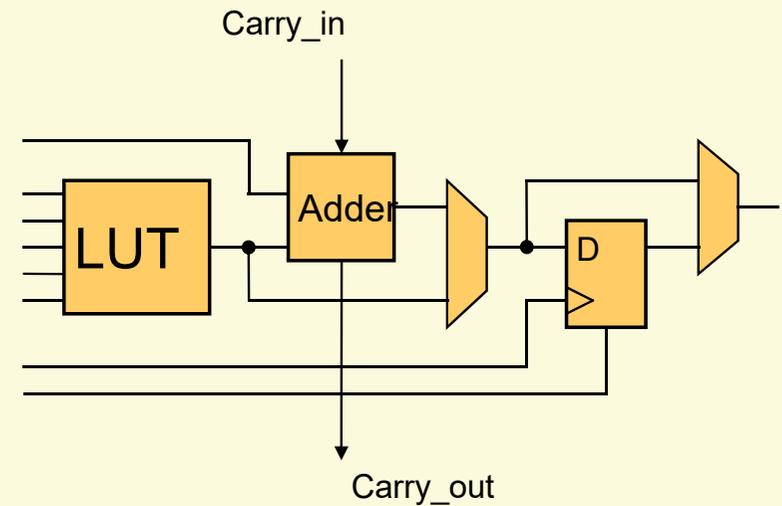
FPGA Xilinx (1984-85)



Elément programmable:

LE : Logic Element

élément logique de base d'un FPGA

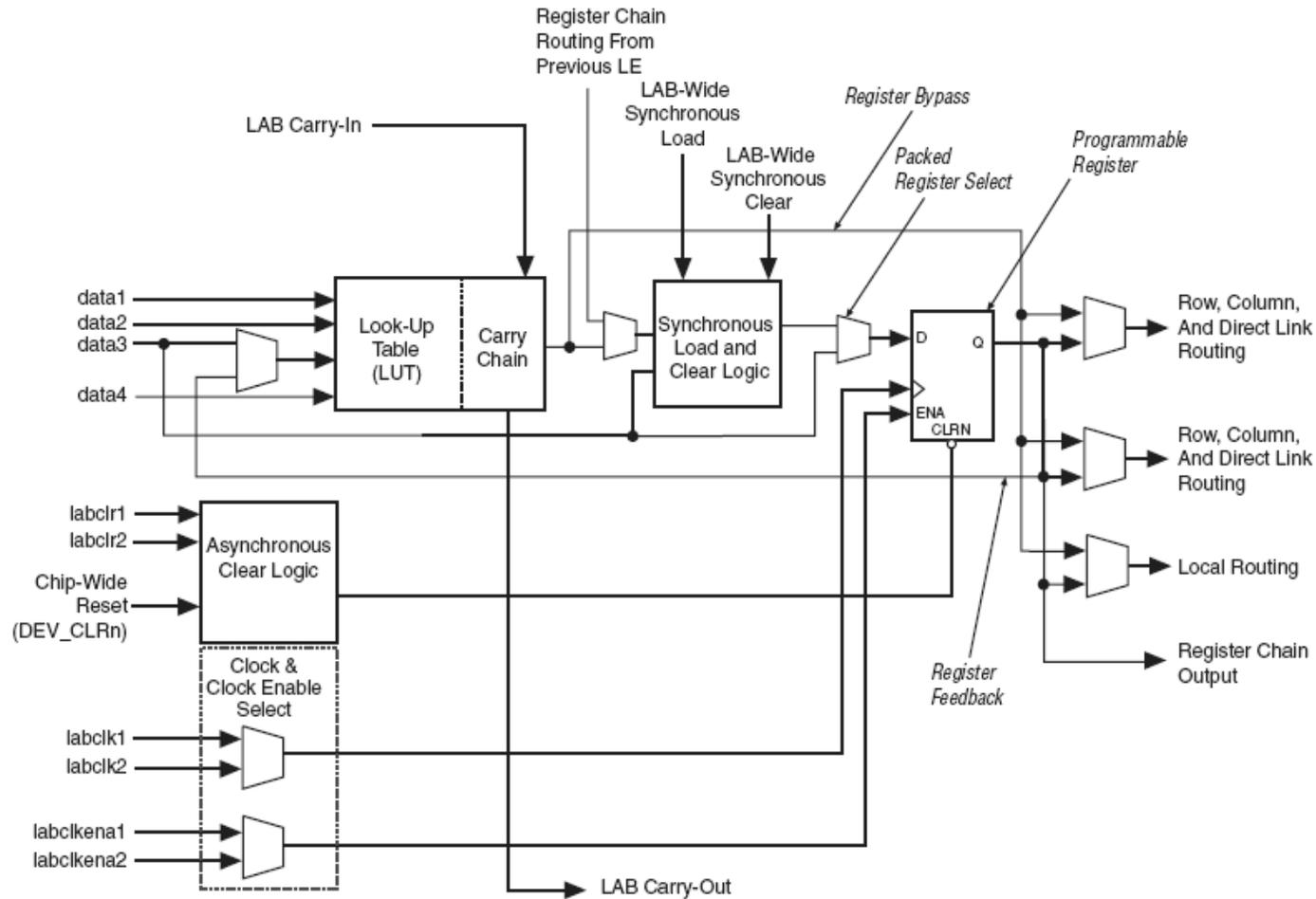


LUT: Look-Up Table

dispose de 4 à 6 entrées

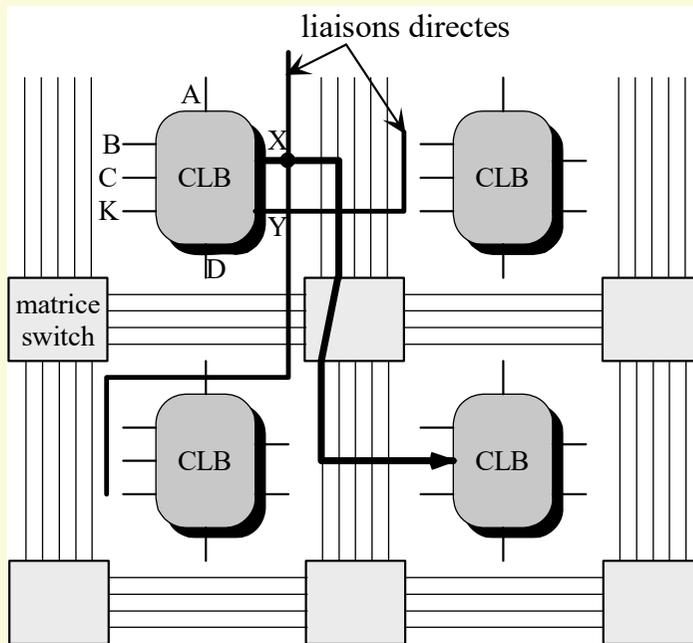
FPGA Cyclone II : Logic Element LE

Figure 2-2. Cyclone II LE

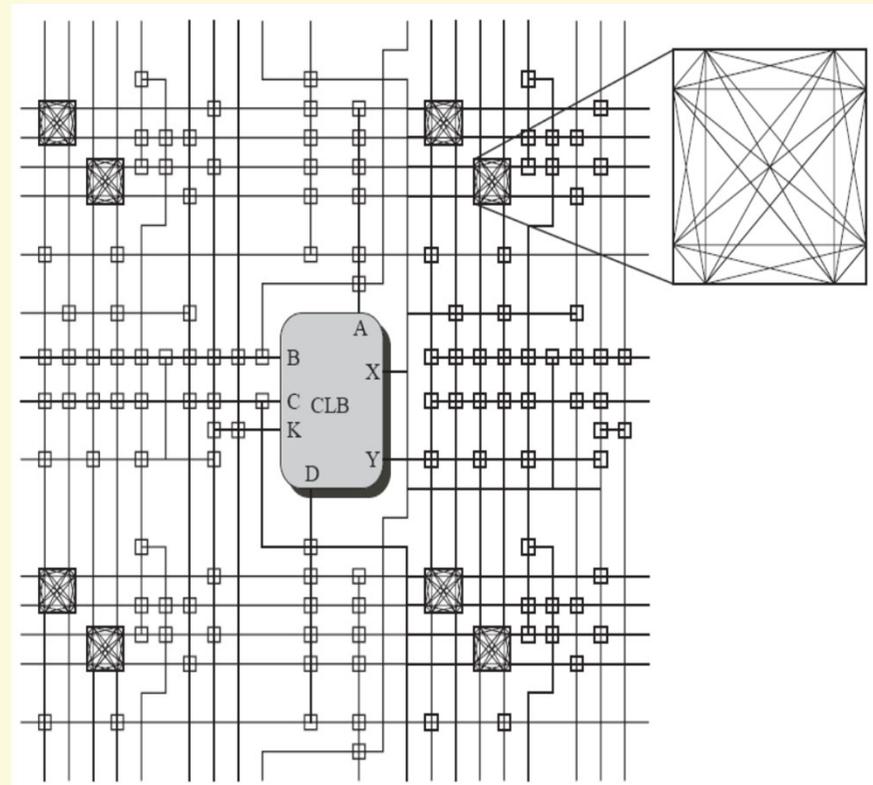


FPGA: réseau d'interconnexions

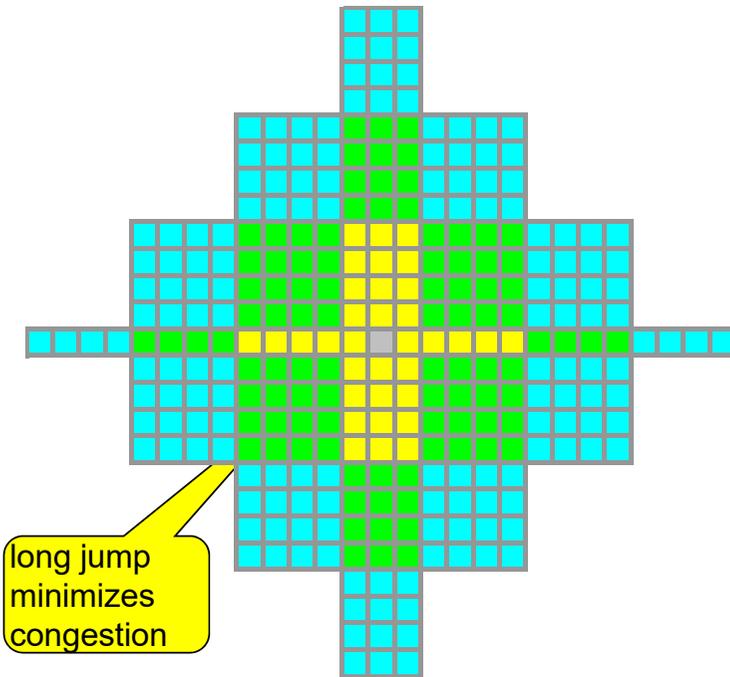
FPGA Xilinx: XC2000



Détail de vue du datasheet



Multi-Track Routing Architecture



Hops	Reachable logic elements (LEs)
1	850
2	2,400
3	4,000
Total	7,250

6.4X the competition

Industry's best FPGA routing architecture used in Stratix series FPGAs

© 2010 Altera Corporation—Confidential

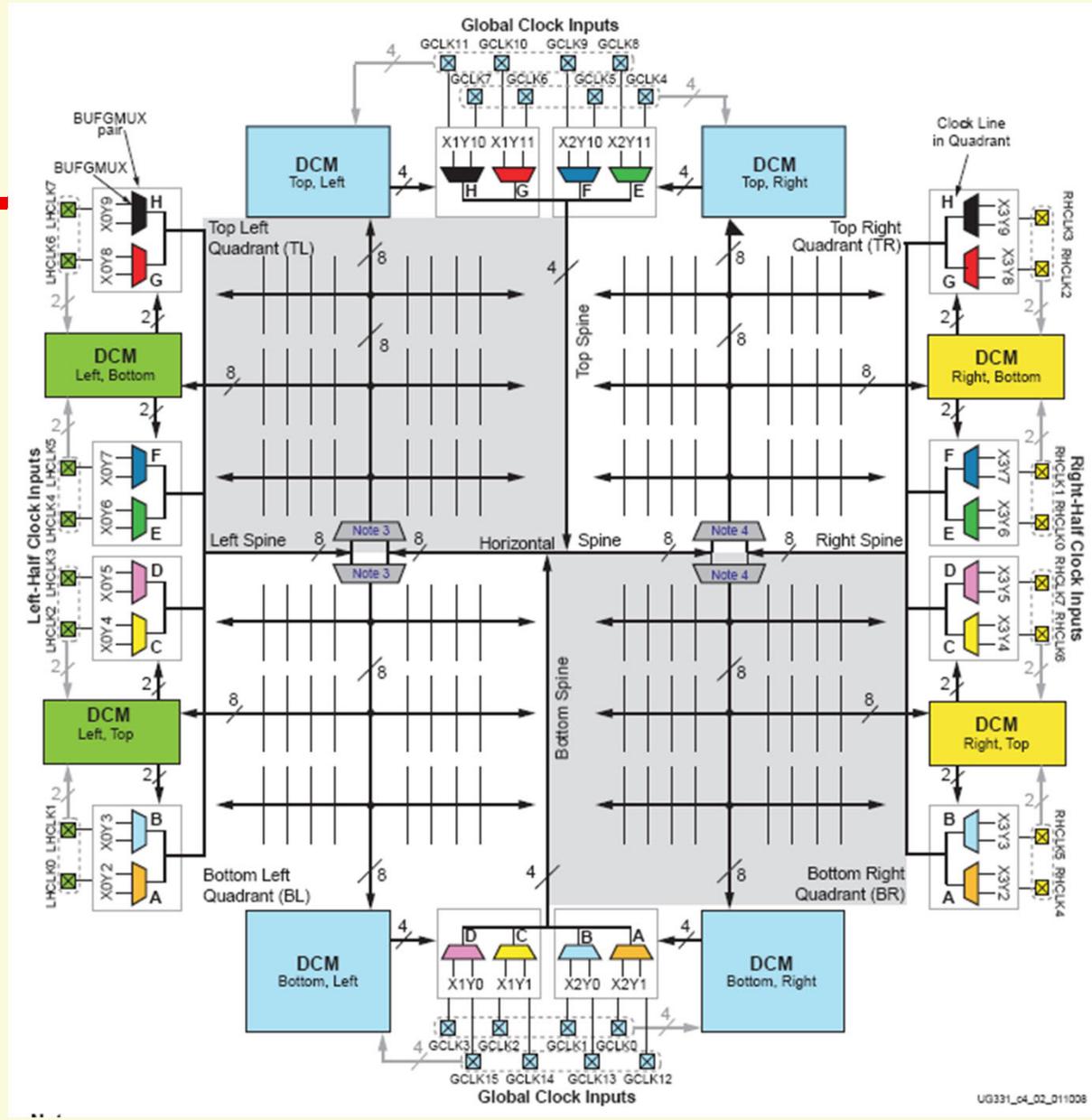
ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS & STRATIX are Reg. U.S. Pat. & Tm. Off.

and Altera marks in and outside the U.S.

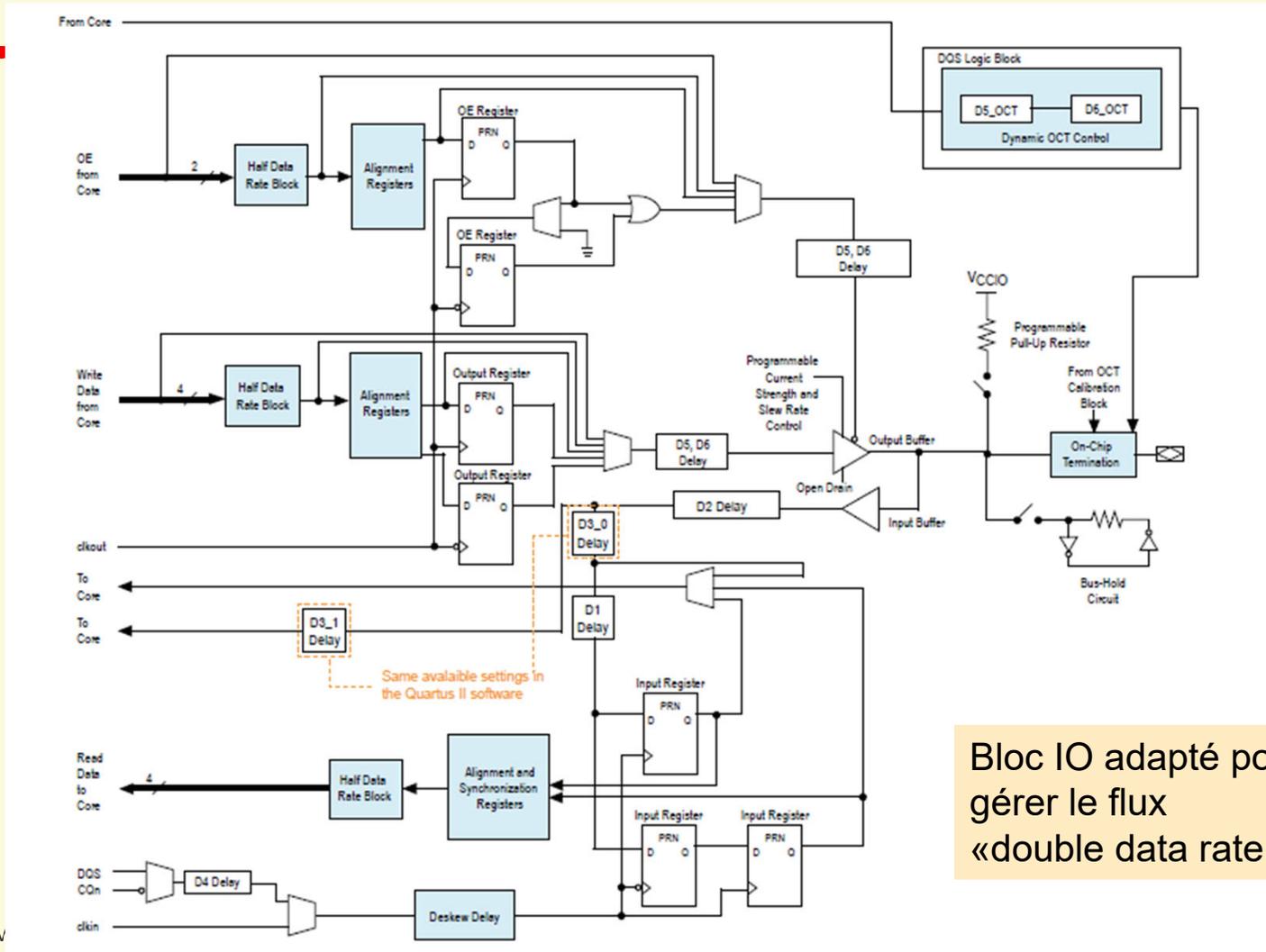
E. Messerli (HES-SO / HEIG-VD / REDS), v01



- Xilinx Spartan
 - Global clock ressource



Stratix-V: Structure des blocs IO



Bloc IO adapté pour gérer le flux «double data rate»

Comparaison CPLD-FPGA

- CPLD, *Complex Programmable Logic Device*
 - taille petite à moyenne, 1 à 40 Kgates
 - circuit avec une grosse granularité, les cellules logiques comprenant **5 produits avec 32 à 52 entrées**
 - timing constant
 - conserve la programmation: EEPROM ou Flash
- FPGA, *Field Programmable Gate Array*
 - taille de moyenne à très grande, 20 à 40'000 Kgates
 - circuit avec une granularité fine, les cellules logiques comprenant **1x LUT avec 4 à 6 entrées**
 - beaucoup de ressource de routage
 - blocs pour fonctions spécifiques
 - technologie SRAM (cas particulier Flash)

- Types de technologies utilisées pour le PLDs :
 - SRAM volatile
 - Volatile, dès lors Nécessite un moyen de programmation
 - Majorité des FPGA
 - EEPROM, Flash, SRAM + Flash
 - Reprogrammable
 - Technologie des CPLD
 - Utilisé pour certaines famille de FPGA
 - Récent: SRAM + EEPROM intégrée
 - Anti-fuse, Via-link
 - Programmable une seule fois
 - Plus utilisé, sauf applications particulières

HardCopy

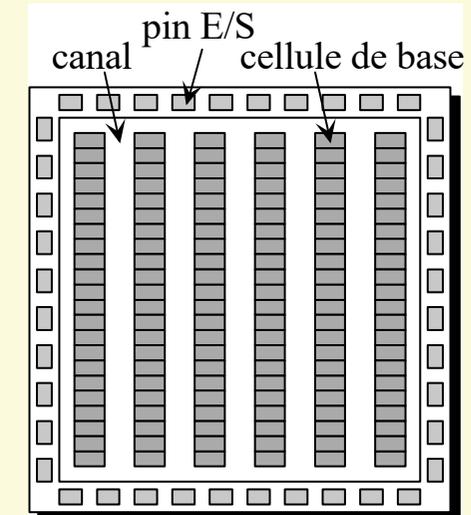
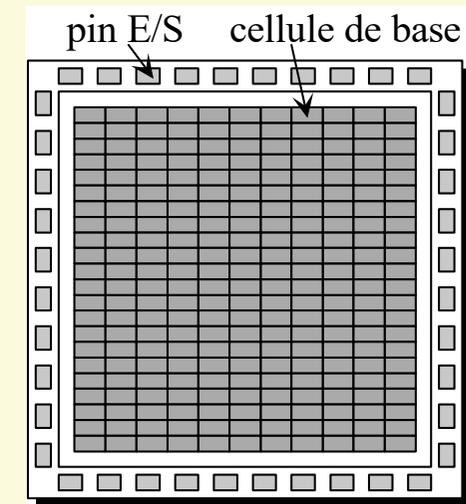
- Les fabricant de FPGA propose des versions "HardCopy" de leur FPGA
 - garantie design FPGA fonctionne sur HardCopy
 - faible NRE (Non-Recurring Engineering)
 - possible pour série moyenne
 - diminution des coûts, mais design fixe
 - augmentation des performances

Table 2. Examples of Improved Performance Using HardCopy ASICs

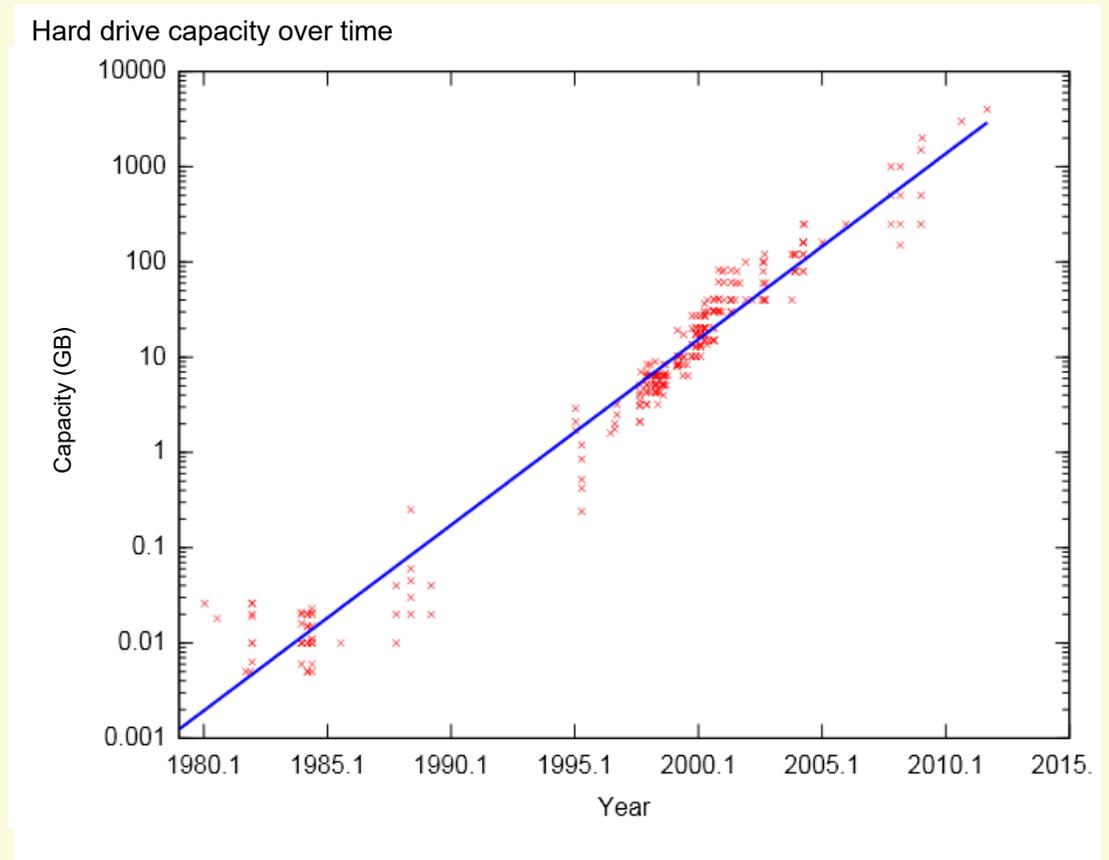
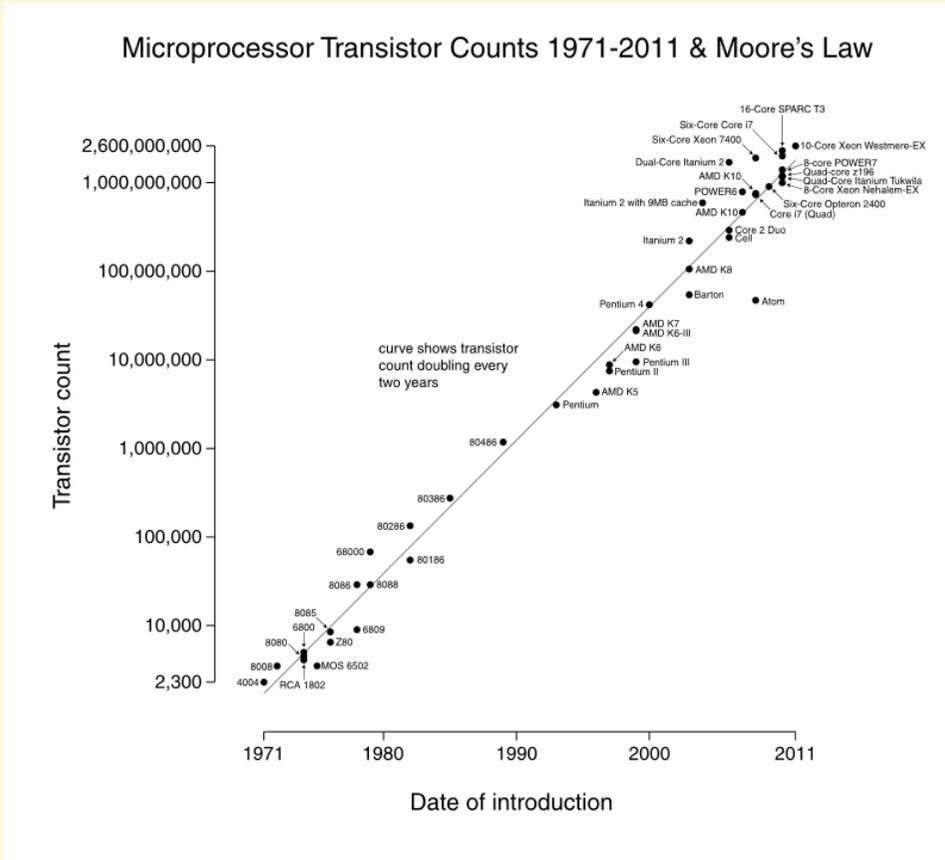
Project	90-nm FPGA	90-nm HardCopy ASIC
A	150 MHz	234 MHz
B	175 MHz	325 MHz
C	280 MHz	432 MHz
D	125 MHz	250 MHz

ASIC, Application Specific Integrated Circuits

- A la demande (full custom)
 - Spécifique à une application, tout peut être défini par le concepteur
- Prédiffusés (années 60)
 - Mer de portes
 - Tableau de portes avec canaux de routage
- Pré-caractérisés (début des années 80)
 - Librairies de cellules
- A réseau structuré (début des années 90, puis réapparition en 2003)
 - Mer de macros
 - LUT, flip-flops, ...



Evolution de la technologie: loi de MOORE



Evolution "Circuits logiques programmables"

Année 2020

Formidable évolution des PLDs depuis 1995

Caractéristiques	Année 2000	Année 2020
Technologie	150 nm	10 nm
Densité	90K LEs, 90K DFF RAM jusqu'à 3Mbits	8'938K LEs, 8'172K DFF, RAM jusqu'à 500Mbits HBM jusqu'à 16 GB
Hard Core :	Transceivers 1.25 Gbps	Transceiver up to 116 Gbps PAM4 Transceiver up to 58 Gbps NRZ PCI express, Ethernet MAC, ...
Fréquence	jusqu'à 350 MHz	jusqu'à 1.1 GHz
Prix (Fr/gate)	2000 \approx 0,25 ct/gate	2008 \approx 0,0001ct/gate / 2015 \approx tend vers zéro!
Boitier	1 puce	chip 3D, multi puces !

Caractéristiques PLDs 2020 ...

- technologie 45 à 10 nm en production (2000 : 150 nm)
- alimentation du cœur: 0.90 à 0.70 V/ 40 A !
- multiples arbres d'horloges et PLL, jusqu'à 100
- fréquence jusqu'à 1.1 GHz (bloc DSP 900 MHz)
- nombre de *Logic Elements* ~8'938K LEs
 - LUT à 6 entrées au lieu de 4!
ALM (2 LEs) à 8 entrées => LUT à 7 entrées
- nombre de flip-flops jusqu'à 8'172K
- mémoire RAM : jusqu'à 500 Mbits
- integrated 3D HBM : jusqu'à 16GB

HBM : High Bandwidth Memory

... caractéristiques PLDs 2020

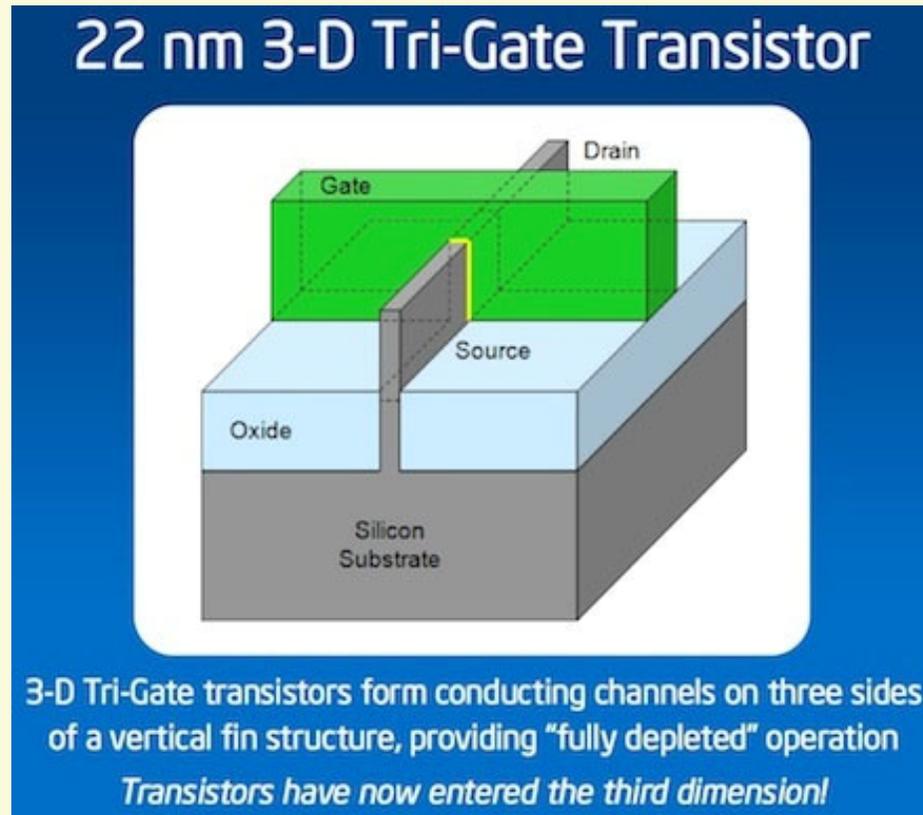
- blocs pré-câblés (DSP, SERDES, ...)
 - transceivers : max 116 Gigabit/s in PAM4
max 57.8 Gigabit/s in NRZ
 - jusqu'à 12'300 DSP bloc avec multiplicateurs
- Hard Core (PCI express, Ethernet MAC, PCS, ...)
- multiples standards I/O:
 - LVTTL, LVCMOS, SSTL et différentiel SSTL, LVDS, LVECL, ...
- Nbr I/O jusqu'à 1'600
 - boîtier FBGA2597 pins => 1'600 I/O

Nouvelle technologie 3D!

Augmentation de la surface du canal sur 3 côtés!

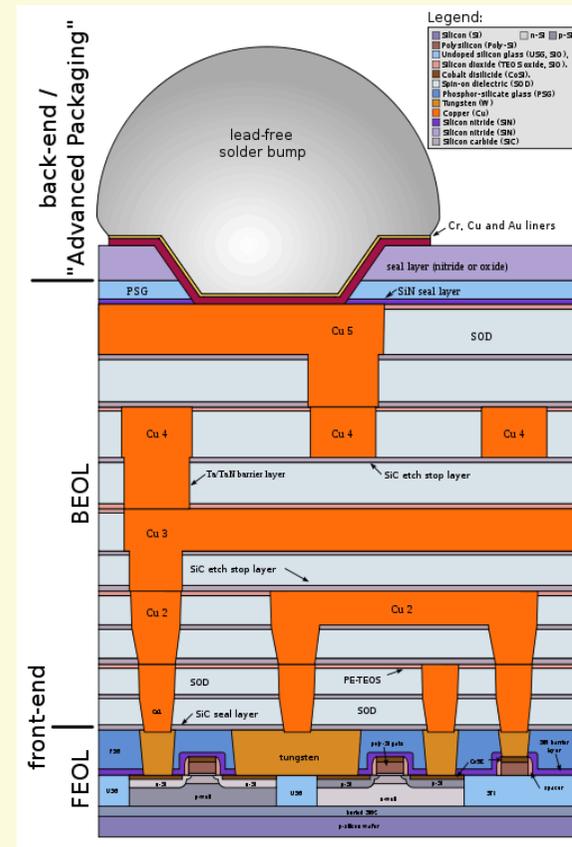
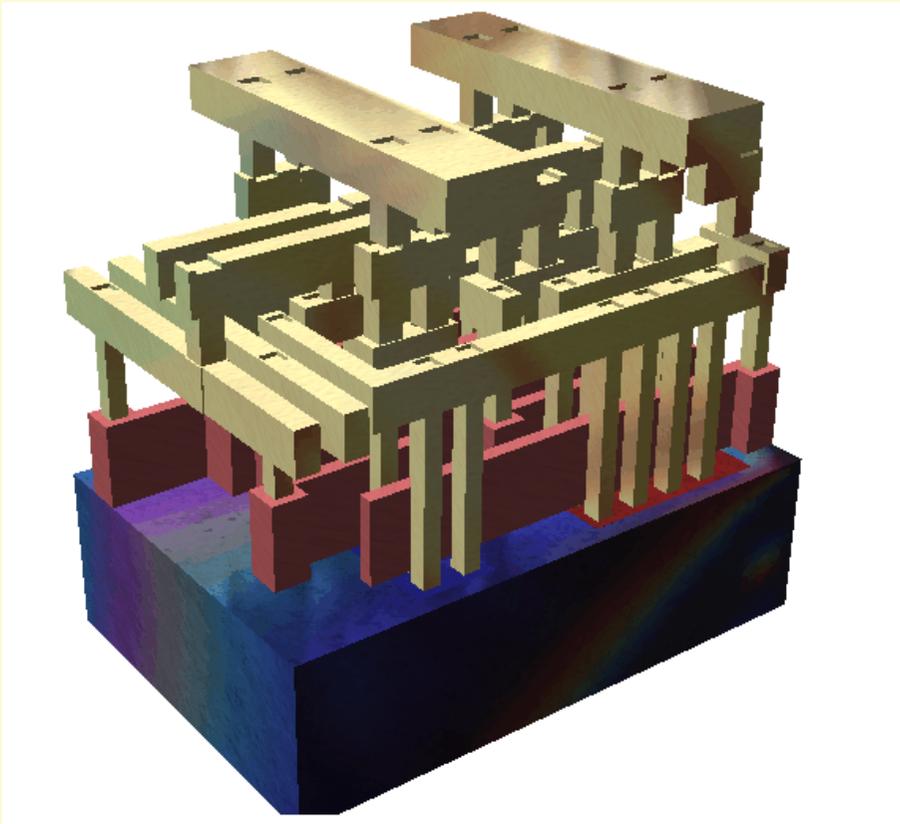
Avantages:

- Forte augmentation du gain à basse tension
- Amélioration des caractéristiques de commutation
- Courant important
- Coûts supplémentaires de seulement 2-3% !



source: Intel

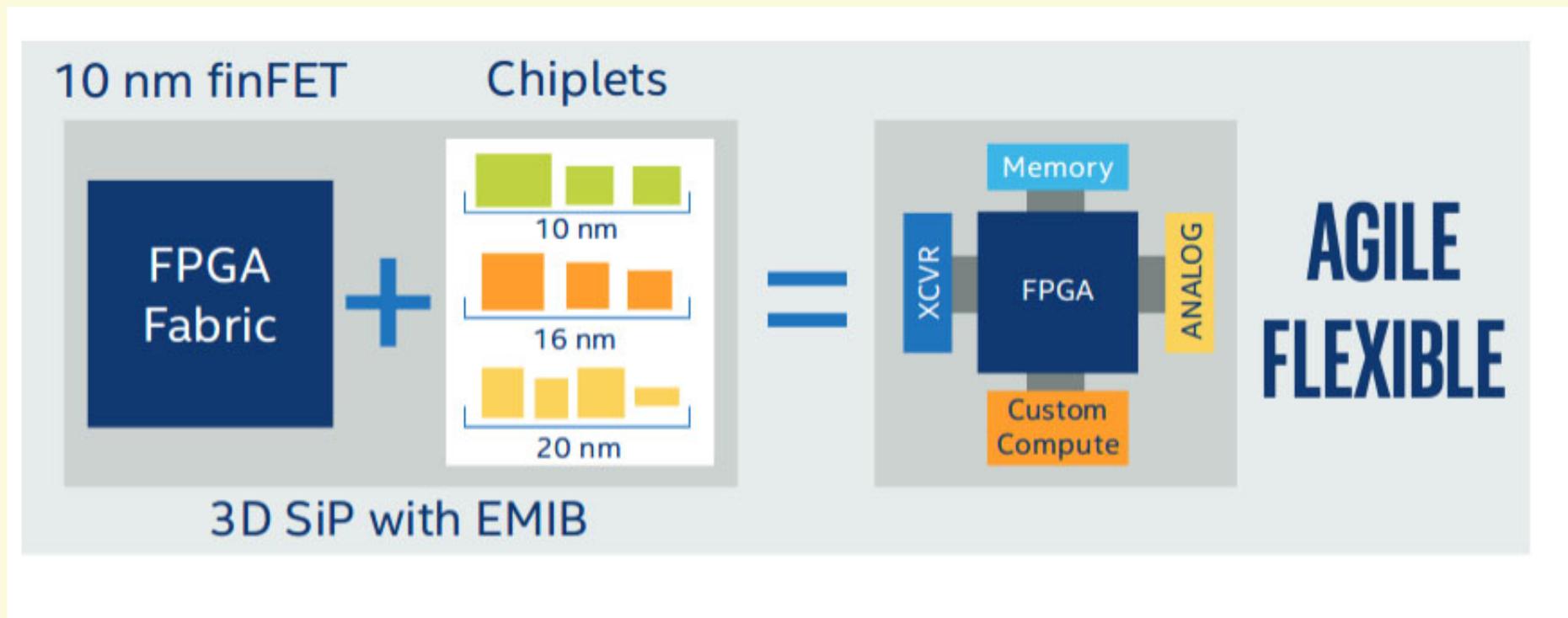
Multiple "metal layers"



source: http://en.wikipedia.org/wiki/Integrated_circuit

Evolution: 3D packaging

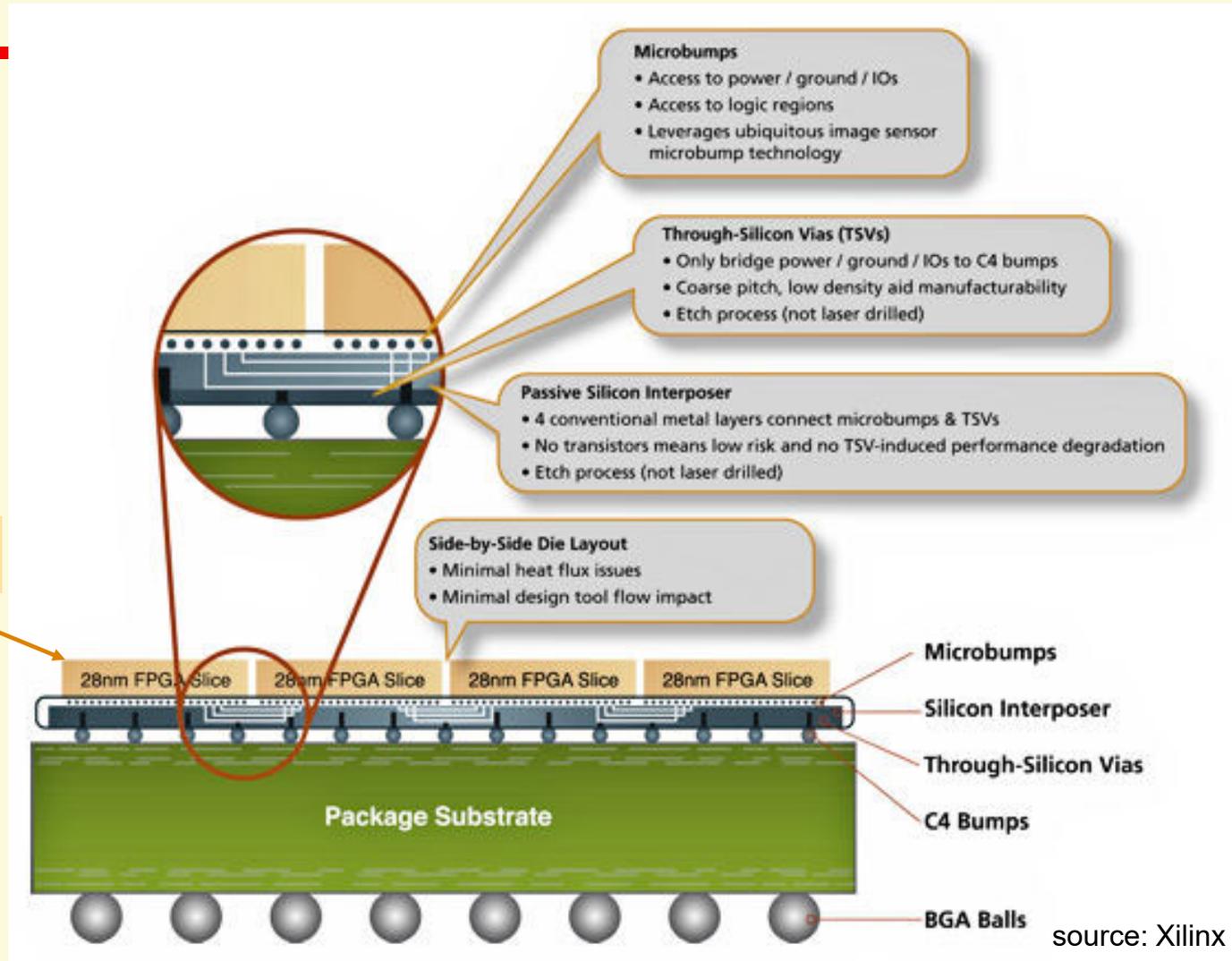
- Intel Agilex:



Stacked Silicon Interconnect technology

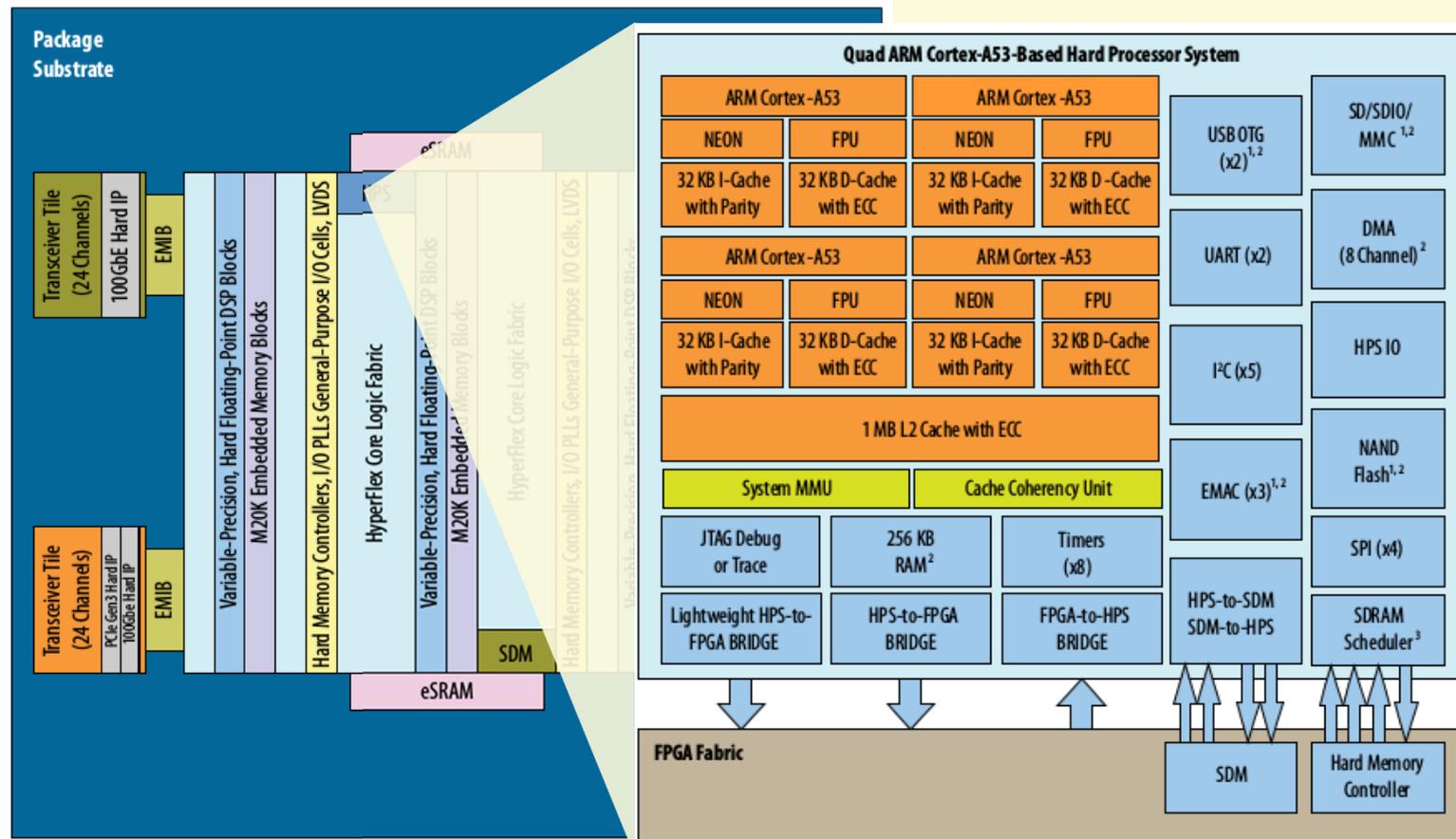
Interconnecting multiple dies for Xilinx FPGAs 3D devices

one die



Nouvelle architecture: SoC 64bits + FPGA

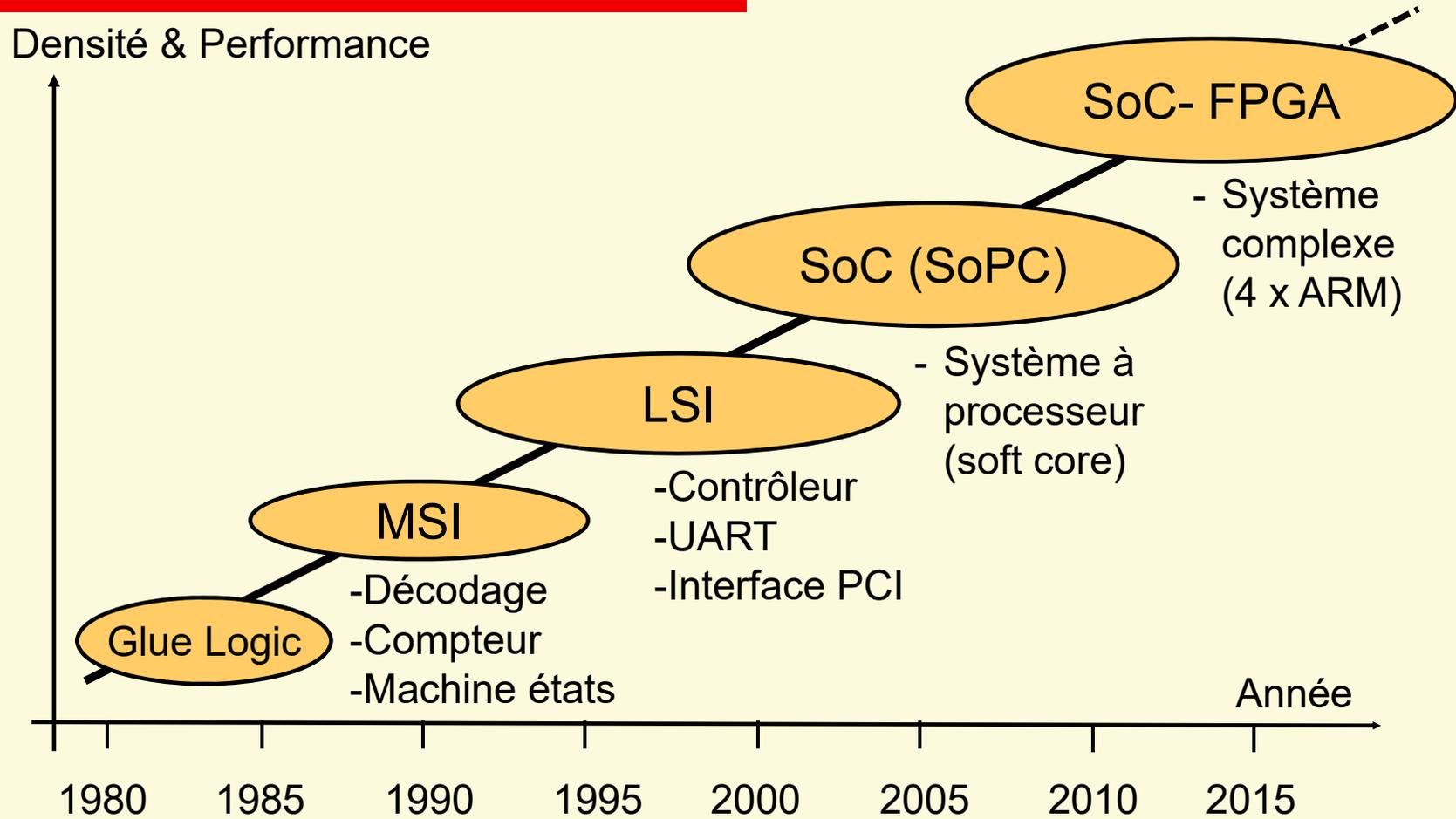
Intel-Altera Stratix-10 TX



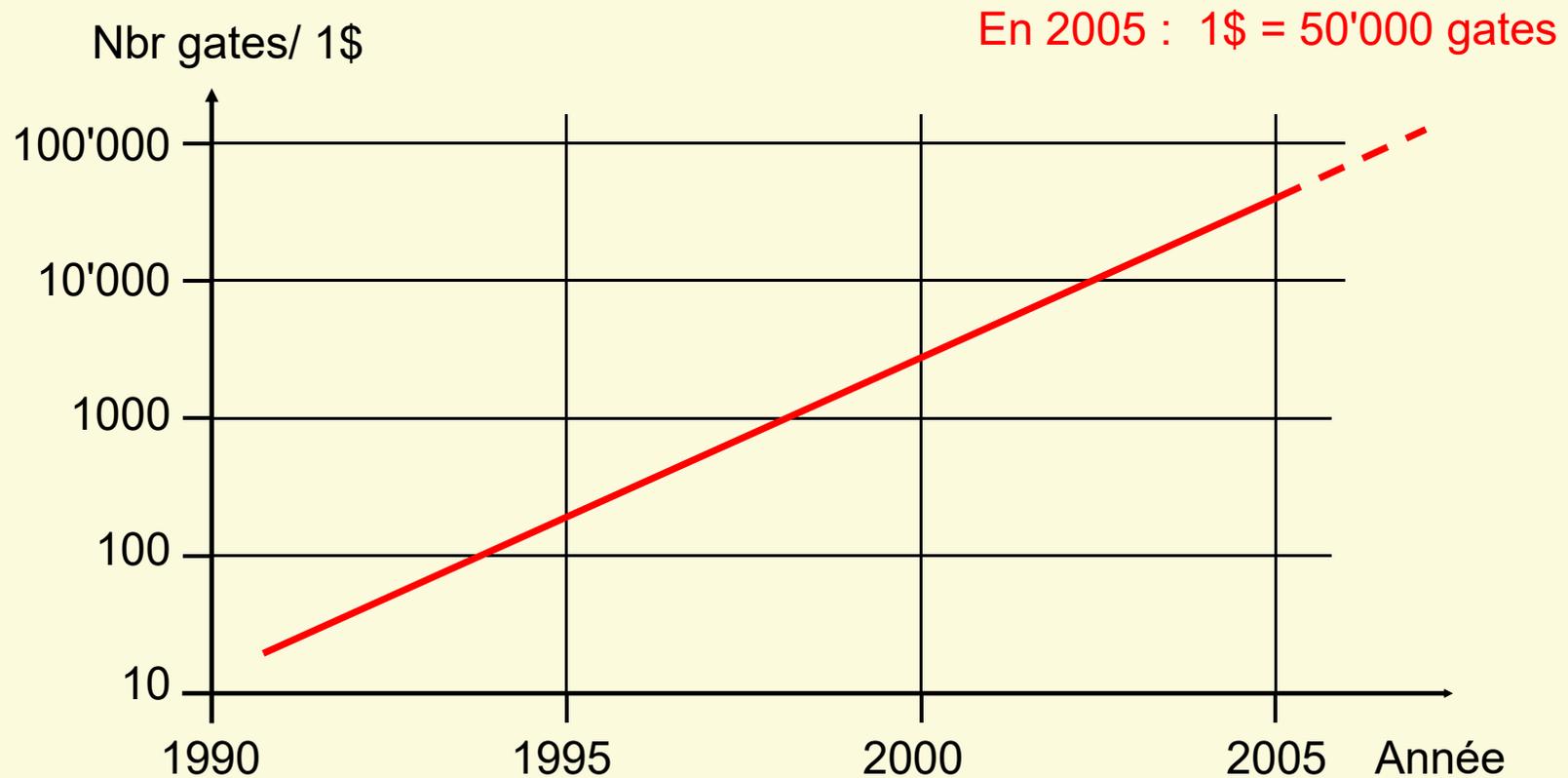
HPS: Quad ARM Cortex-A53 Hard Processor System
SDM: Secure Device Manager

eSRAM: Embedded SRAM Memory Block
EMIB: Embedded Multi-Die Interconnect Bridge

Domaine d'utilisations des PLDs



Prix des PLDs low cost (volume price!)



Ancien CPLD : MAX 7000S

- Technologie EEPROM
- EPM7128SLC84-10
 - \$ 30 (-15 \$19)
 - 68 IOs
 - 128 MacroCells
 - 128 DFF
 - env. 2'500 gates
 - 240 MHZ
 - prix ~ 0,01 \$/gate



PLD récent : MAX V

- Technologie Flash
- FPGA vendu comme CPLD !
- 5M160ZE100C5N
 - 4.7 \$ à la pièce !
 - 79 IOs
 - 160 LEs (~128 MCs)
 - 160 DFF
 - env. 3'200 gates
 - 8.2Kbits flash memory
 - 150 MHz
 - prix ~ 0,0015 \$/gate



New device MAX 10

- Technologie Flash
- 10M02DCV36C7G
 - 3.2 \$ à la pièce !
 - 27 IOs
 - 2000 LEs (~1700 MCs)
 - 2000 DFF
 - env. 44'200 gates
 - 108Kbits memory
 - 96Kbits flash memory
 - prix ~ 0,0001 \$/gate



Fin de la présentation

