

Architecture des systèmes à processeur

Prof. Géraldine Conti

Basé sur les cours des Profs. Sanchez, Starkier, Mosqueron et Dassatti

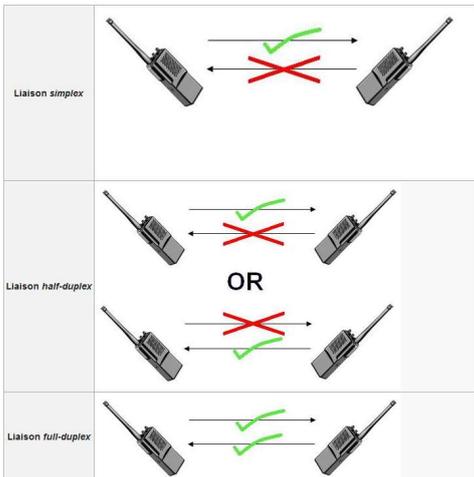
1

Bus et transfert de données

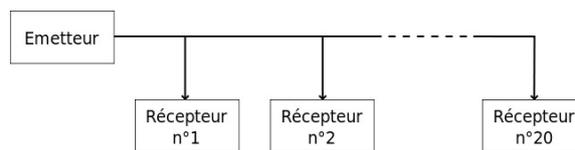
2

Transfert de données : introduction

Liaisons point-à-point : connecte **2 composants**

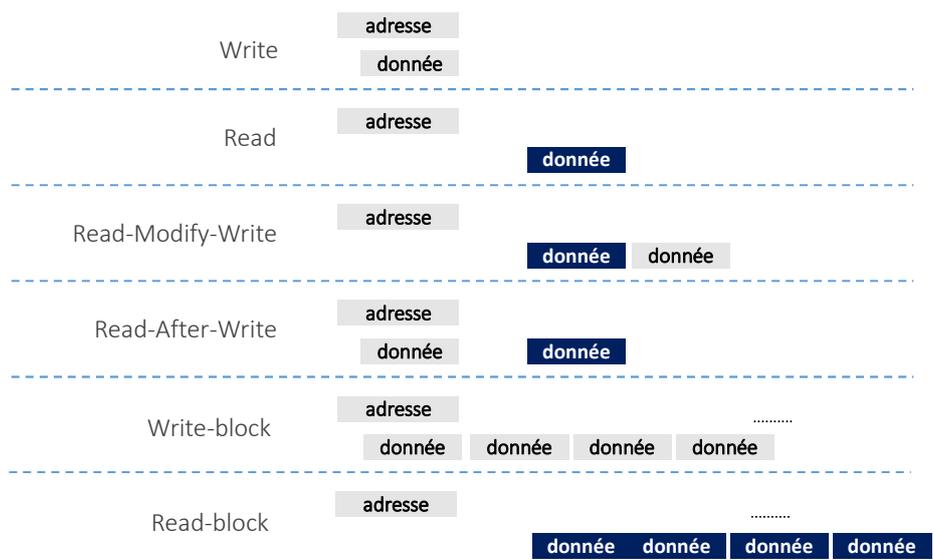


Bus de communication :



Plusieurs composants connectés (envoi de données à plusieurs composants en une seule fois)

Types de transfert

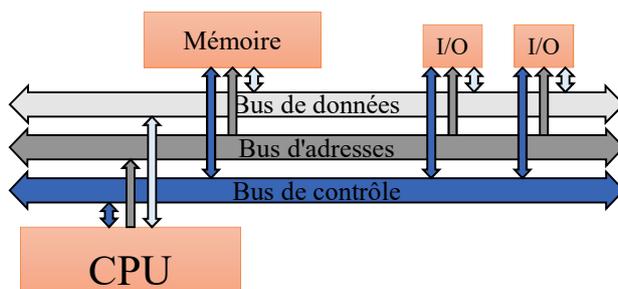


Bus : définition

- *Support de transfert de données entre les différents sous-ensembles d'un système informatique*
- Physiquement : **ensemble de fils conducteurs**
- **Données** : numériques binaires
- **Sous-ensembles** : les parties (unités) d'un processeur, les mémoires, les périphériques

Types de bus (1)

- Bus **parallèle**
 - Signaux adresse/data/contrôle transmis parallèlement
 - Multiplexage possible
 - **Exemple : bus mémoire, PCI,...**
- Bus **série**
 - Signaux adresse/données non-différenciés
 - Transmission bit par bit
 - Forme préférée (plus compacte, moins chère)
 - **Exemple : PCIe, USB, I2C**



Dans les deux cas, transmissions **synchrones** et **asynchrones**.

Multiplexage

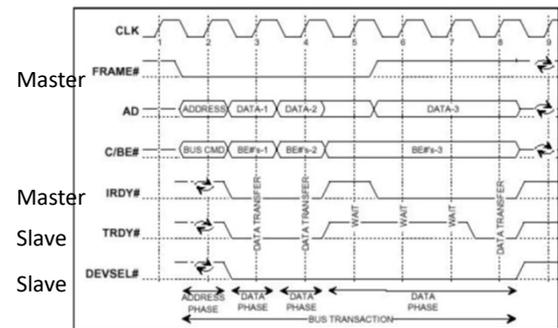
- **Multiplexage adresse / donnée**

- Suppression du bus d'adresse

adresse donnée

- **Multiplexage données**

- Réduction de taille du bus de données
- Ex: data 32 bits sur bus 16 bits



adresse

donnée donnée
MSB LSB

- **Multiplexage adresses**

- Réduction de taille du bus d'adresse
- **Ex: adresses 24 bits sur bus 16 bits**

MSB LSB

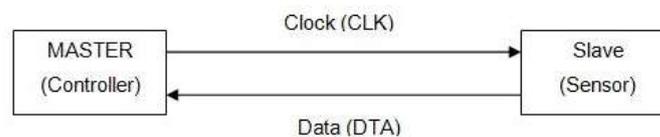
adresse adresse

donnée

Types de bus (2)

- **Maître / esclave**

- Transferts initiés et contrôlés par le maître
- **Ex: bus local processeur**

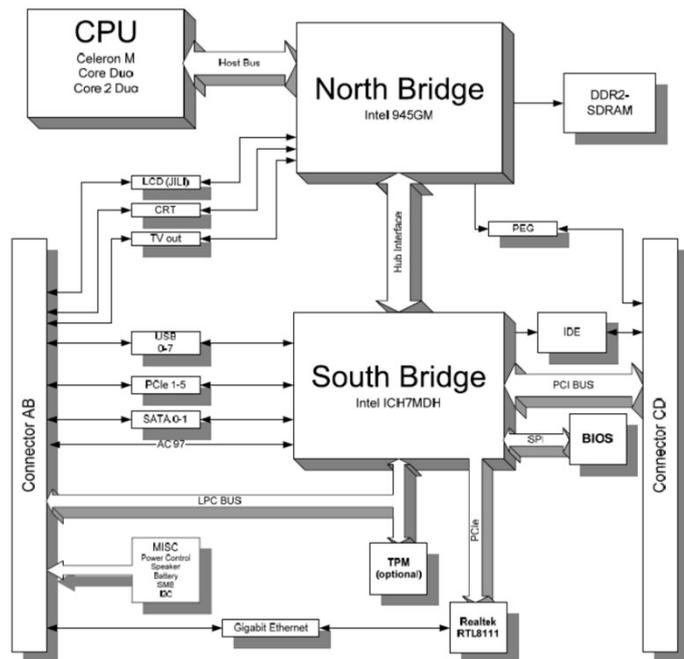


- **Multi-maître**

- Contrôle partagé
- Nécessite un arbitrage
- **Ex: réseaux, CPU-DMA**

Types de bus (3)

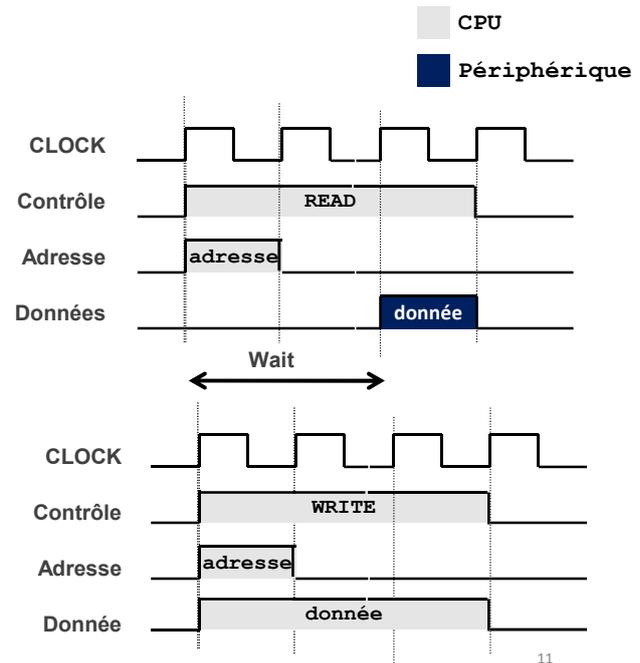
- Interne
- Externe



Bus parallèle

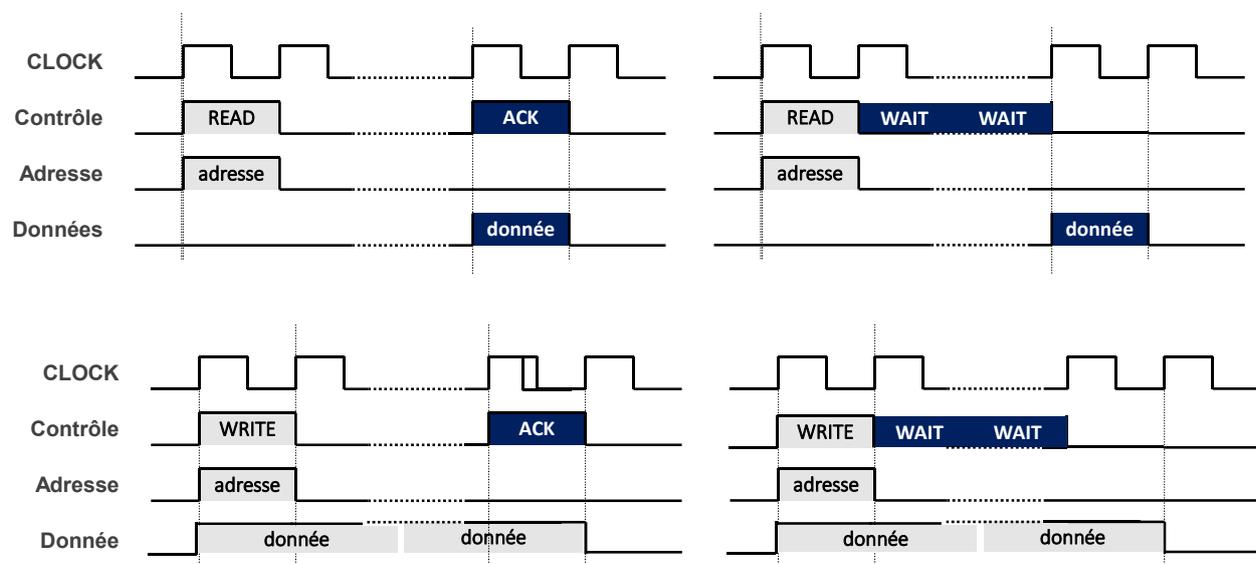
Liaison synchrone

- Transferts CPU – périphérique :
 - Le CPU est **maître**
 - Le CPU **initie les transferts** (lectures ou écritures)
 - Le CPU place l'adresse du périphérique sur le bus d'adresse
 - Le CPU peut attendre une réponse du périphérique
 - **acquittement (ACK)**
 - **ou demande d'attente (WAIT)**



Legend: CPU (grey), Périphérique (blue)

Liaison synchrone avec *handshake*



Liaison asynchrone

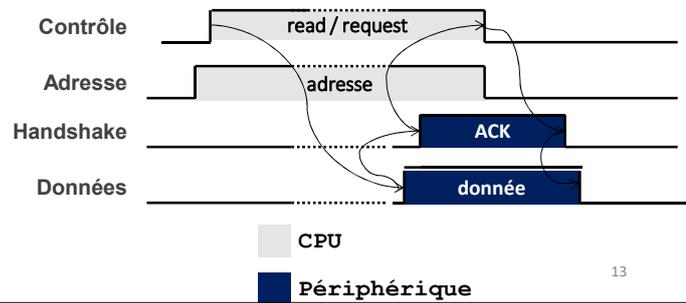
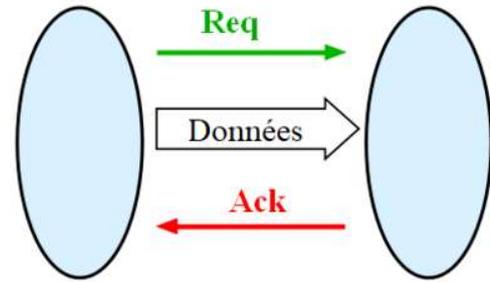
- Pas d'utilisation d'horloge

- Processus :

- Premier nœud indique au second qu'il lui envoie une donnée
- récepteur reçoit la donnée et indique qu'il l'a prise en compte

- **Synchronisation** faite grâce à des fils spécialisés qui transmettent des **bits particuliers**.

- **Fil REQ** : indique l'envoi d'une donnée
- **Fil ACK** : accepte la donnée indiquée par REQ



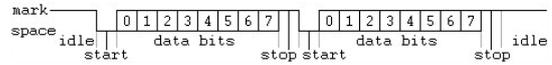
13

Bus série

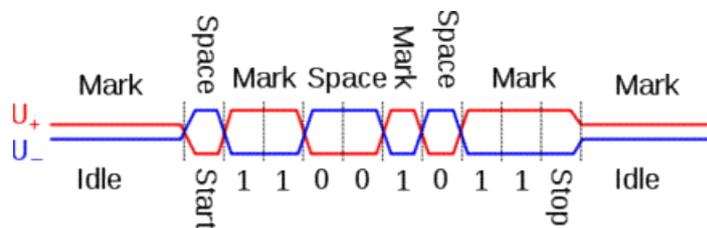
14

Transmission asynchrone

- Pas d'horloge transmise, **start et stop bit**



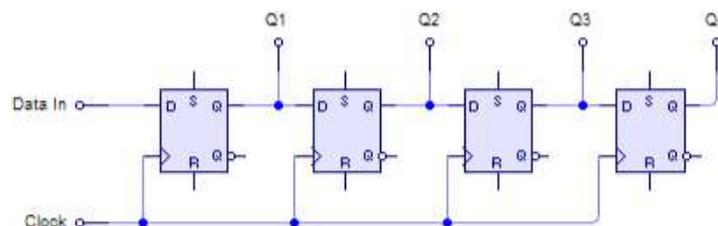
- Horloge de réception dont la fréquence est un multiple (x4 à x16) de la fréquence des données.
- Echantillonnage de l'état des bits de donnée synchronisé par un compteur
- Remise à zéro du compteur par le start bit
- **Exemple : UART (universal asynchronous receiver transmitter)**



15

Transmission synchrone

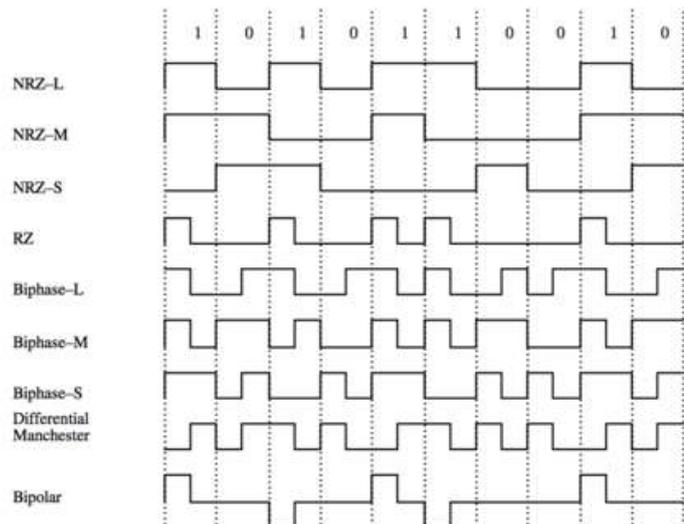
- **Horloge** transmise séparément (bus SPI ou I2C) ou extraite des données (PCIe, USB, SATA).
 - Extraction de l'horloge par PLL (Phase Locked Loop)
- **Extraction des données** par bascules (shift register)



16

Encodage des données

- Bit codé avec une **tension électrique** (niveaux)
- **NRZ** ⇔ Non Return to Zero
- **Codage Manchester**
 - Transition 0 → 1 => 0
 - Transition 1 → 0 => 1
 - Composante continu = 0
- **Differential Manchester**
 - Deux transitions => 0
 - Une transition => 1
 - Composante continu = 0
 - Insensible à l'inversion de polarité



17

Encodage des données : 8b/10b et scrambling

8b/10b

- Codage de symboles 8 bits en symboles 10 bits
- Au minimum quatre transitions d'un état logique dans 10 bits (extraction de l'horloge)
- Composante continu = 0 (même nombre de 0 et de 1)
- 12 symboles spéciaux pour la délimitation des trames

Scrambling

- Contenu transcodé par une séquence pseudo-random
- Composante continu = 0 (même nombre de 0 et de 1)
- Délimitation des trames en rajoutant quelque bits (par exemple 64b/66b)

Exemple : Encodage 8b/10b

- mots 3 bits => 1 ou 2 équivalences en 4 bits

001 => 1001 2x1 + 2x0

100 => 1101 , 0010 3x1 + 1x0, 1x1+3x0

- mots 5 bits => 1 ou 2 équivalences en 6 bits

00011 => 110001 3x1 + 3x0

00010 101101 , 010010 4x1 + 2x0, 2x1 + 4x0

- Exemple

(choix de codes pour maintenir l'égalité bit a 0 et à 1)

001 00011 100 00010 001 00010 001 00010

1001 110001 1101 010010 1001 101101 1001 010010

Exercice

A faire seul

Objectif : réaliser un slide par bus/interface avec toutes les informations demandées dans le slide suivant

Liste des bus à traiter : *PCI, PCIe, SATA, I2C, USB2, USB3, USBC, SPI, JTAG*

Supports :

Notes de cours : annoter personnellement le document suivant :

Créer un compte à : <https://app.perusall.com/>

Clé du cours : CONTI-MMTQT

Internet pour les informations manquantes

Exercice : Bus/Interface ~~XXXX~~

- Acronyme
- Année d'apparition, dernière version disponible
- Type (parallèle/série, ME/MM, interne/externe)
- Caractéristiques (nombre de fils, débit, taille des mots, codage)
- Architecture (logique)
- Protocole (structure de paquet)
- Autres détails
- Exemples d'utilisation