

Master MSE

Module d'approfondissement ReCO

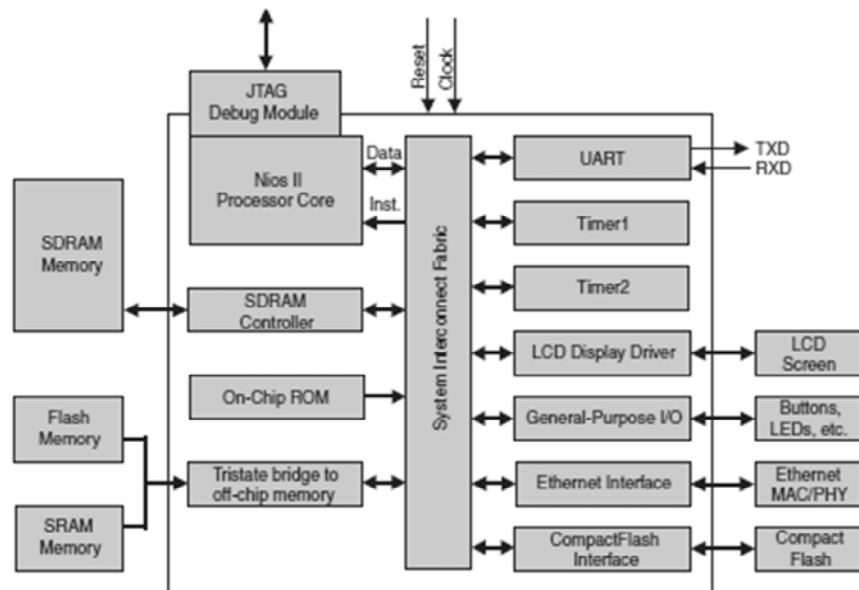
Reconfigurable Computing

SoPC

PROCESSEURS et COMPOSANTS

Michel Starkier – V1.0

SoPC (Exemple)



25/10/2009

Reconfigurable Computing / MSR

2

Exemple d'un SoPC à base de NIOS (Altera).

"SoPC, acronyme de « System on Programmable Chip » (système sur puce reprogrammable en français), désigne un système complet embarqué sur une puce reprogrammable de type FPGA, pouvant comprendre de la mémoire (data / code), un ou plusieurs processeurs softcores, des périphériques d'interface, ou tout autre composant nécessaire à la réalisation de la fonction attendue." Wikipédia

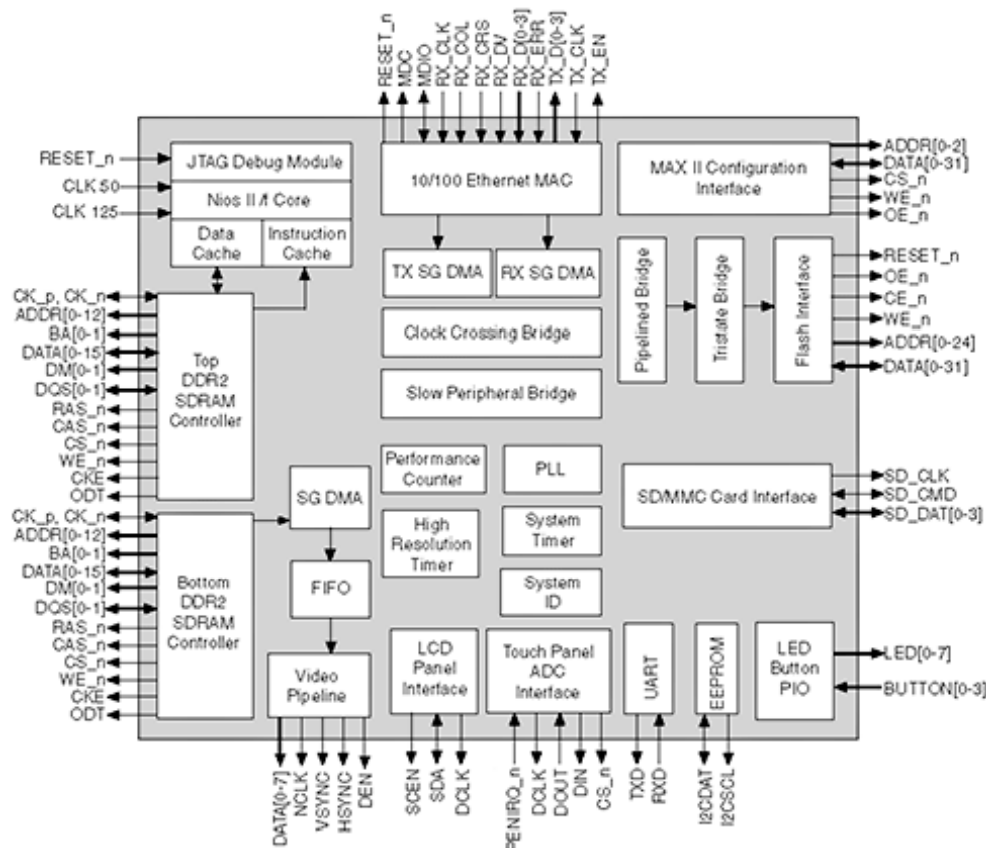
- **Processeurs embarqués**
 - Soft-cores ou hard-cores
 - Open source et commerciaux
- **Périphériques**
- **Bus**
 - Standards ouverts ou propriétaires
- **OS et RTOS**

Reconfigurable Computing / MSR

25/10/2009

3

Exemple d'une implémentation SoPC (Altera).



Cours ReCo

PROCESSEURS EMBARQUES

25/10/2009

Reconfigurable Computing / MSR

4

- Développeur (nom, année)
- Fabricant de FPGA (optimisations)
- Type de licence (GPL, commerciale,...)
- Architecture
 - Niveaux de pipeline, nbr de registres
 - MMU, FPU, caches
 - Multiprocesseur (SMP, AMP)
 - Multithreading
- Performances (F max, Dhrystone MIPS /MHz)
- Ressources
- Langage de description (VHDL, Verilog)
- Bus (Amba, Avalon,.....)
- OS /RTOS (uLinux,)

Mesure de la performance

L'unité de mesure de la performance d'un processeur embarqué est le Dhrystone MIPS ou DMIPS.

Le nombre Dhrystone est le nombre d'itération par seconde d'un code de benchmark (développé 1984 par Reinhold P. Weicker). Pour obtenir le DMIPS, on divise le Dhrystone par 1757 (le nombre de Dhrystones par seconde obtenu avec un VAX 11/780, qui est une machine 1 MIPS).

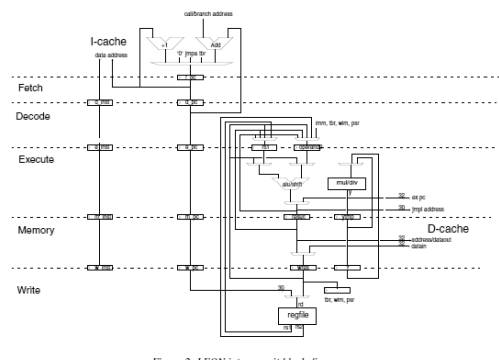
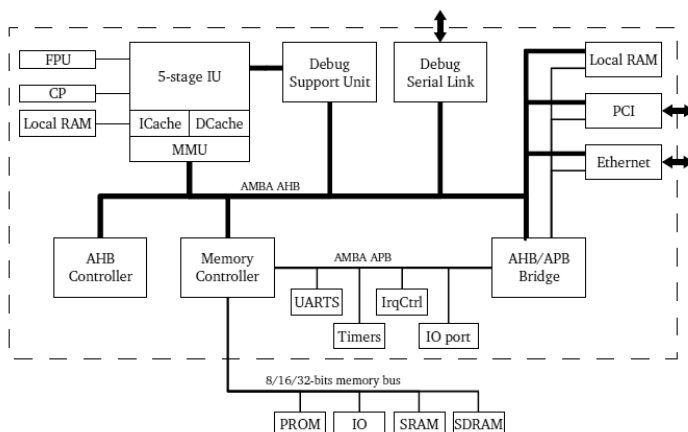
Le DMIPS/MHz est obtenu en divisant le DMIPS par la fréquence du processeur.

- 1999 - développement Jiri Gaisler ESA
- LEON 2 (ESA- 1999)
- 32 bits RISC basé sur l'architecture SPARC V8
- Pipeline 5 étages, MMU, caches, FPU
- 0.8 Dhrystone MIPS/Mhz
- Licence LGPL, GPL
- Bus Amba
- LEON2-FT
 - Tolérance au fautes (SEU): redondance, contrôle de parité,..
 - Spatial => Atmel AT697E

25/10/2009

Reconfigurable Computing / MSR

6



Le modèle VHDL LEON2 est un processeur 32 bits conforme à l'architecture IEEE-1754 (SPARC V8). Il est conçu pour les applications embarquées avec les fonctionnalités suivantes :

- traitement des entiers avec 5 niveaux de pipeline
- architecture Harvard, caches séparés données et instructions
- multiplicateur et diviseur (latence 35 cycles max)
- unité calcul flottant
- contrôleur d'interruptions
- debugger avec trace
- deux timers 24 bits, deux UARTs, watchdog, port d'E/S de 16 bits, contrôleur mémoire, ethernet MAC et interface PCI.

L'interfaçage avec les composants s'effectue par les bus AMBA AHB/APB. Le modèle VHDL est entièrement synthétisable avec la plupart des outils de synthèse et peut être implémenté dans des FPGAs et des ASICs. La simulation est supportée par tous les simulateurs conformes VHDL-87.

Extrait adapté du LEON2 Processor User's Manual

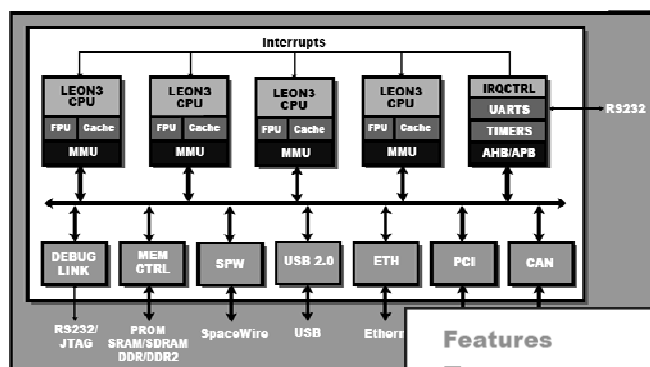
Processeur LEON 3

- 2004 - développement Gaisler Research
- Licence GPL + commerciale GAISLER
- Multiprocesseur (1 à 16) -
- AMP : Asymmetric multiprocessing
- SMP : Symmetric multiprocessing
- 400 MHz / 0.13 μ m process /
- 16 Dhrystone MIPS / Mhz (16 processors)
- LEON3-FT : correction d'erreur de 4 bit-errors par mots

25/10/2009

Reconfigurable Computing / MSR

7



Features

■ Highly configurable

Flexible implementation using between 1 and 16 processors.
Sizing of both data and instruction cache between 0k and 2Mbytes across each CPU.
IP library with plug&play functionality allowing rapid and flexibility during SoC design.
Optional high performance IEEE-754 Floating Point Unit.
Optional SPARC Reference Memory Management Unit.

■ High performance

SPARC V8 architecture multiprocessor-capable instruction set architecture.
400 MHz on a 0.13 μ m process, giving up to 6400 Dhrystone MIPS of performance.
Built-in cache snooping for data coherency.

■ Energy efficient

Power down mode:
Individual processor shutdown providing significant energy saving on dynamic power consumption.
Clock gating:
Each processor's clock CPU can be individually gated-off in power down mode for further reduction of both dynamic and static power consumption.

■ Simple design integration

Supported by the plug&play capabilities of the GRLIB IP-library, increasing flexibility and reducing development time.

■ Software support environment

eCos or Linux 2.6 SMP operating system for SMP configurations.
RTEMS, VxWorks, μ CLinux or ThreadX operating system for AMP configurations.

■ Availability

Source VHDL code or Netlist.

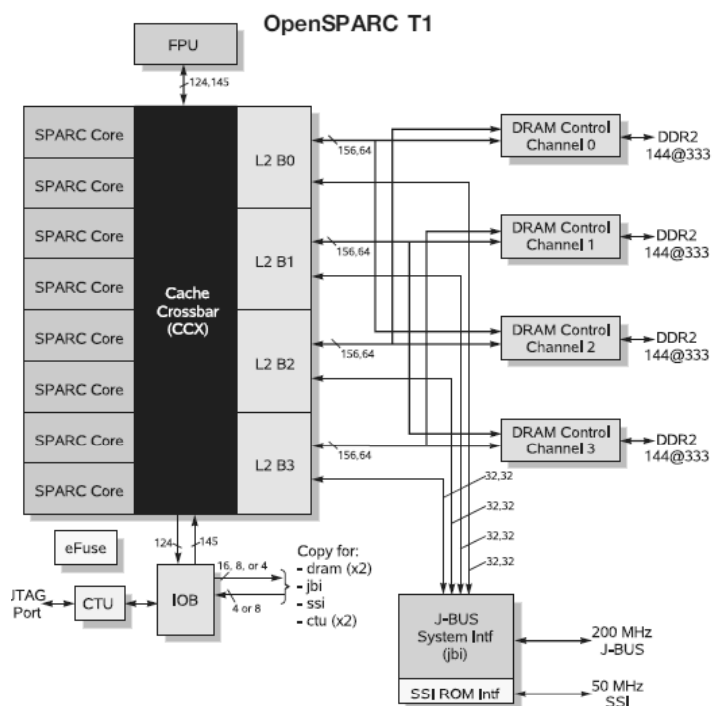
Famille SPARC open source

- 1986 développement RISC de SUN
 - Design Open source géré par Sparc International
 - Architecture 32 bits et 64 bits multiprocesseurs
 - Windowed registers
 - Multi-threading (grain fin)
-
- Leon
 - OpenSparcT1, T2
 - Verilog

25/10/2009

Reconfigurable Computing / MSR

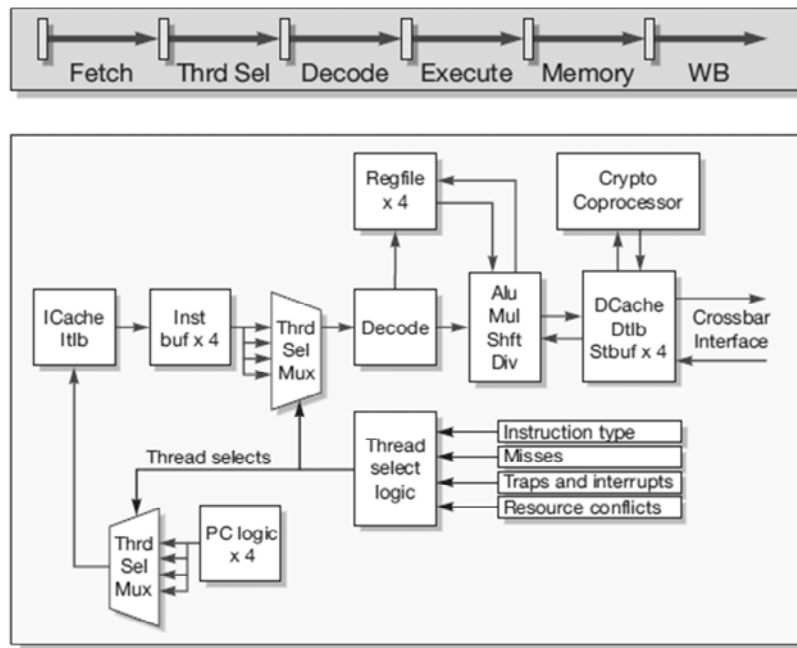
8



SPARC implementation

- Eight cores, four threads each – 32 simultaneous threads
- All cores connect through a 134.4 GB/s crossbar switch
- High BW 12-way associative 3 MB on-chip L2 cache
- 4 DDR2 channels (23 GB/s)
- ~300M transistors

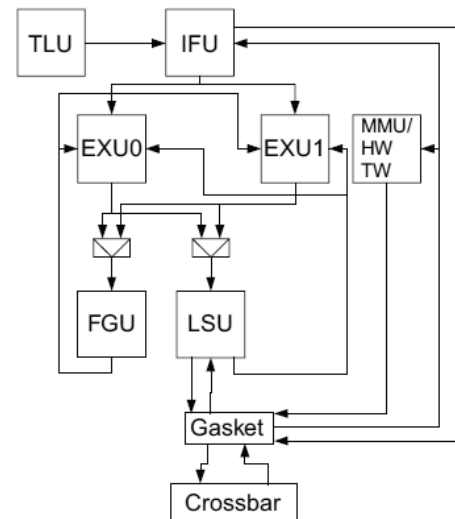
OpenSparc T1 core pipeline



Ce pipeline à 6 étages comprend, en plus des 5 étages classiques, un étage de sélection des threads pour la gestion du multithreading (4 threads par cœur).

Chaque cœur SPARC contient les unités suivantes:

1. L'Instruction fetch unit (IFU) se compose des étages suivants du pipeline – fetch, la sélection de thread et décodage des instructions. L'IFU comprend également un cache d'instructions complexe.
2. L' Execution unit (EXU) comprend l'étage exécution du pipeline.
3. La Load/store unit (LSU) inclut la mémoire et écriture registre (Writeback) et un cache de données complexe.
4. La Trap logic unit (TLU) inclut la logique de traitement des exceptions
5. La Stream processing unit (SPU) est utilisée pour la cryptographie
6. Unité de gestion de mémoire (MMU).
7. Interface avec le FPU(FGU).



"Although many people reported that Sun Microsystems SPARC T1is an implementation of SPARC focused almost entirely on exploiting SMT (simultaneous multithreading) and CMP(chip-level multithreading) techniques, T1 is not actually using SMT. Sun refers to these combined approaches as "CMT", and the overall concept as "Throughput Computing". The T1 has 8 cores, but each core has only one pipeline, so actually it uses fine-grained multithreading. Unlike SMT, where instructions from multiple threads share the issue window each cycle, the processor uses a round robin policy to issue instructions from the next active thread each cycle."

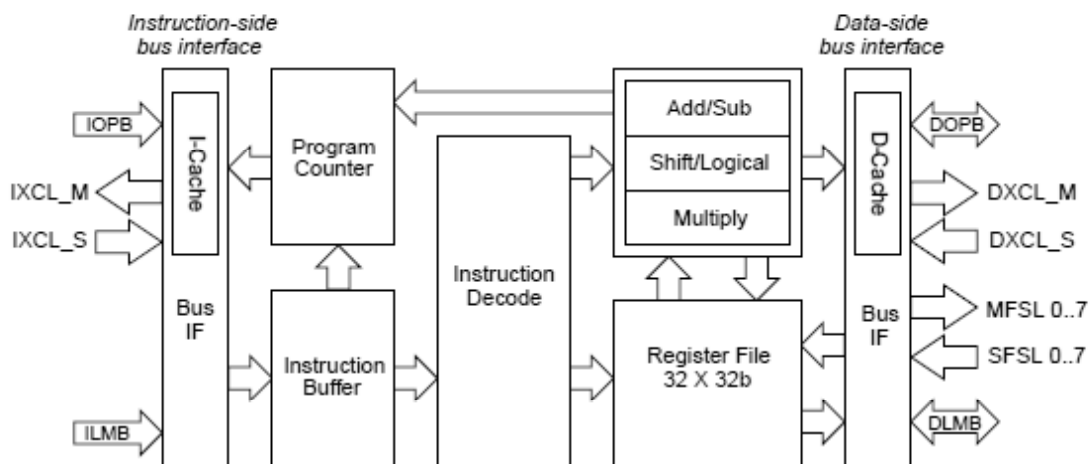
Extrait adapté de l'article Wikipedia Simultaneous Multithreading

- Développé par Xilinx
- Code source non accessible
- 32 bits RISC (Harvard)
- 3 ou 5 étages de pipeline, 32 registres, MMU
- 235 MHz, 1.2 Dhrystone MIPS/MHz
- Pas orienté multiprocesseur
- Bus CoreConnect

25/10/2009

Reconfigurable Computing / MSR

10



Le bus OPB (On-Chip Peripheral Bus) relie les périphériques au processeur MicroBlaze.

Le bus LMB (Local Memory Bus) permet un accès rapide à la mémoire.

Le bus FSL (Fast Link Support) permet l'échange de données avec des co-processeurs.

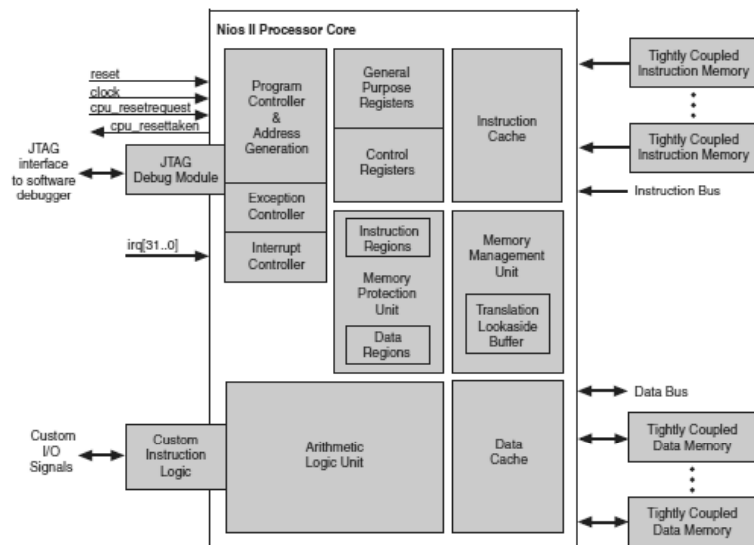
Processeur NIOSII Altera

- Développé par Altera
- Code source non accessible
- 32 bits RISC
- 6 étages de pipeline, 32 registres, MMU
- 200 MHz, 1.16 Dhrystone MIPS/MHz
- Pas orienté multiprocesseur
- Bus Avalon

25/10/2009

Reconfigurable Computing / MSR

11



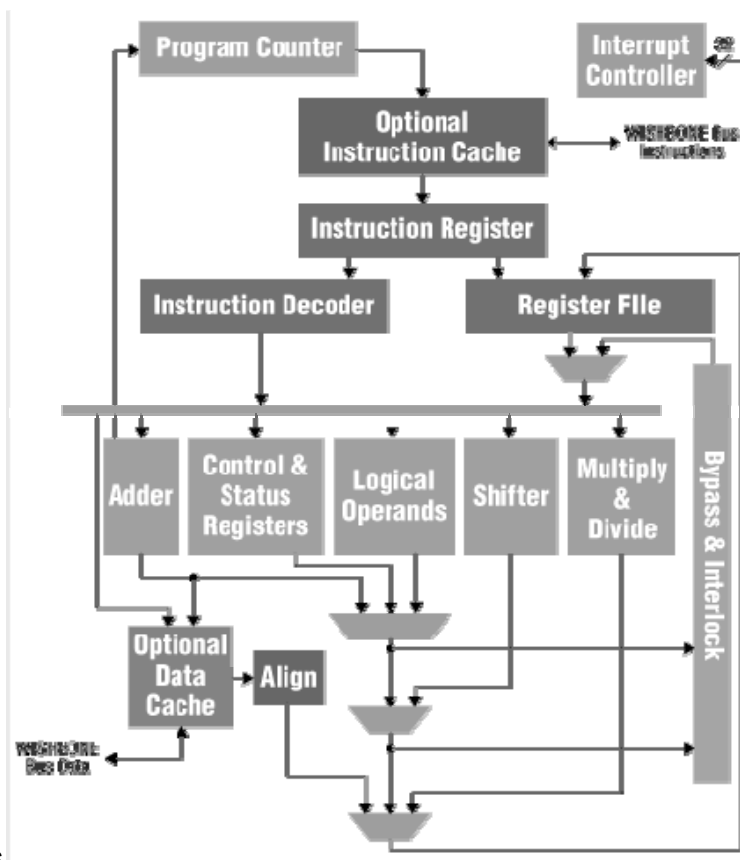
- Full 32-bit instruction set, data path, and address space
- 32 general-purpose registers
- 32 external interrupt sources
- Single-instruction 32 × 32 multiply and divide producing a 32-bit result
- Dedicated instructions for computing 64-bit and 128-bit products of multiplication
- Floating-point instructions for single-precision floating-point operations
- Single-instruction barrel shifter
- Access to a variety of on-chip peripherals, and interfaces to off-chip memories and peripherals
- Hardware-assisted debug module enabling processor start, stop, step, and trace under integrated development environment (IDE) control
- Optional memory management unit (MMU) to support operating systems that require MMUs
- Optional memory protection unit (MPU)
- Software development environment based on the GNU C/C++ tool chain and Eclipse IDE
- Integration with Altera's SignalTap® II Embedded Logic Analyzer, enabling real-time analysis of instructions and data along with other signals in the FPGA design
- Instruction set architecture (ISA) compatible across all Nios II processor systems
- Performance up to 250 DMIPS

- Développé par Lattice (2006)
- Open source Verilog
- 32 bits RISC (Harvard)
- 6 étages de pipeline, 32 registres
- ???? Dhrystone MIPS/MHz
- Pas orienté multiprocesseur
- Bus Wishbone

25/10/2009

Reconfigurable Computing / MSR

12



- RISC architecture
- 32-bit data path
- 32-bit instructions
- 32 general purpose registers
- Handles up to 32 external interrupts
- Optional instruction cache
- Optional data cache
- WISHBONE memory interfaces (Instruction and Data)

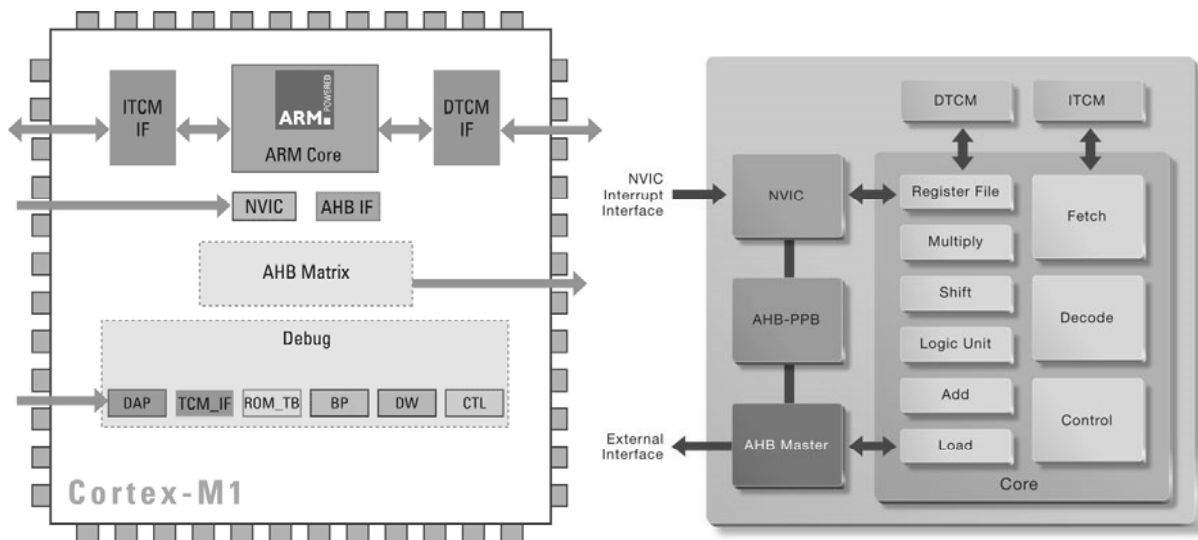
Processeur ARM CORTEX M1

- Design ARM /Actel pour FPGA, optimisé pour Xilinx, Altera et Actel
- Licence commerciale
- 32 bits RISC
- 180 MHz, 0.8 Dhrystone MIPS/MHz
- Instructions Thumb2 (ARM7)
- 3 étages de pipeline
- Bus Amba

25/10/2009

Reconfigurable Computing / MSR

13



- ARMv6-M instruction set architecture
- Configurable TCM (Tightly Coupled Memory) instruction and data memories (1KB to 1024KB)
- 3-stage, 32-bit pipeline
- 1 to 32 interrupts
- 4 interrupt priority levels
- Fast or small multiplier
- Big/little endianness support
- Executes all Thumb code—can run ARM7 and ARM9 Thumb subroutines
- Upward compatible with Cortex-M3
- All Cortex-M1 I/Os and signals are accessible to the user
- Embedded real-time debug and JTAG interface
- Removable debug, breakpoint and watchpoint

Processeur V1 ColdFire Core Freescale

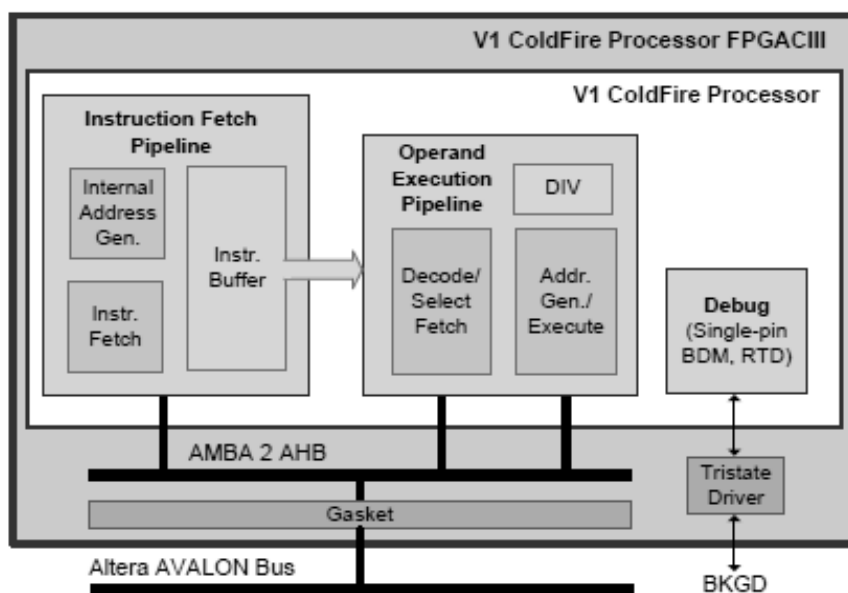
ReDS
heig-vd

- Développé par Freescale
- Netlist gratuite pour Altera Cyclone III
- Supporté par SoPC Builder
- Variable-length RISC (code CISC 68K)
- 2 x 2 étages de pipeline,
- 0.8 Dhrystone MIPS/MHz
- Bus Amba converti Avalon

25/10/2009

Reconfigurable Computing / MSR

14



- 100 percent instruction set compatible to all ColdFire family processors
- Supported by all existing ColdFire software ecosystem, including operating systems and tools
- Optimized for the Altera® Cyclone® III FPGAs, small and robust core
- SOPC Builder compatible
- \$0 licensing fee and \$0 royalty for the core
- Commercial support available
- Fully-synthesizable core
- Variable length RISC 16-bit, 32-bit, and 48-bit instructions
- 16 user-accessible, 32-bit wide general purpose registers
- 32-bit data bus with 24-bit address bus supporting 16 MB linear addressing
- Independent, decoupled pipelines
- 2-stage instruction fetch pipeline (IFP)
- 2-stage operand execution pipeline (OEP)
- FIFO instruction buffer provides decoupling

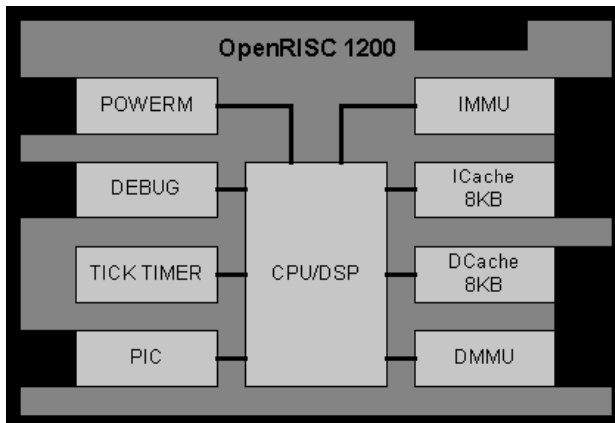
Processeur OpenRisc 1200

- Open source développé par OpenCores
- Verilog
- 32 bits architecture (Harvard)
- 5 étages de pipeline, 32 registres, MMU, caches
- 250MHz, 1 Dhrystone MIPS/MHz
- Bus Wishbone

25/10/2009

Reconfigurable Computing / MSR

15



- 32-bit architecture implementing ORBIS32 instruction set
- Scalar, single-issue 5-stage pipeline delivering sustained throughput
- Single-cycle instruction execution on most instructions
- 250 MIPS performance @ 250MHz worstcase conditions
- Predictable execution rate for hard real-time applications
- Fast and deterministic internal interrupt response
- Thirty-two, 32-bit general-purpose registers
- DSP MAC 32x32
- Custom user instructions
- Harvard model with split instruction and data cache
- Instruction/data cache size scalable from 1KB to 64KB
- Physically tagged and addressed
- Cache management special-purpose registers
- Memory Management Unit
- Harvard model with split instruction and data MMU
- Instruction/data TLB size scalable from 16 to 256 entries
- Direct-mapped hash-based TLB
- Linear address space with 32-bit virtual address and physical address from 24 to 32 bits
- Page size 8KB with per-page attributes

BUS D'INTERFACAGE

- 1996 – Spécifié par ARM
- Advanced High-performance Bus (AHB)
 - Nouvelle génération (supporte les bursts)
 - Bus haute performance / haute vitesse /64-128 bits
- Advanced System Bus (ASB)
 - Bus microcontrôleur 16-32 bits
- Advanced Peripheral Bus (APB)
 - Bus pour périphériques basse consommation

25/10/2009

Reconfigurable Computing / MSR

17

AMBA AHB

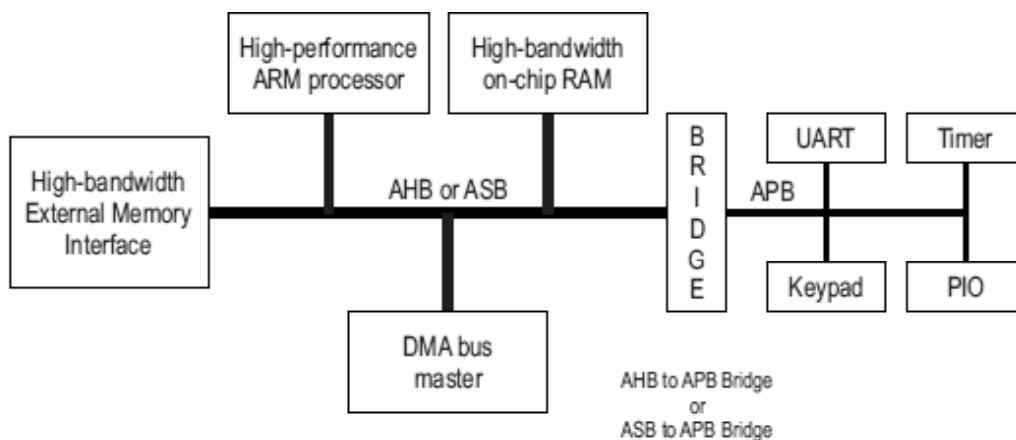
- * High performance
- * Pipelined operation
- * Multiple bus masters
- * Burst transfers
- * Split transactions

AMBA ASB

- * High performance
- * Pipelined operation
- * Multiple bus masters

AMBA APB

- * Low power
- * Latched address and control
- * Simple interface
- * Suitable for many peripherals

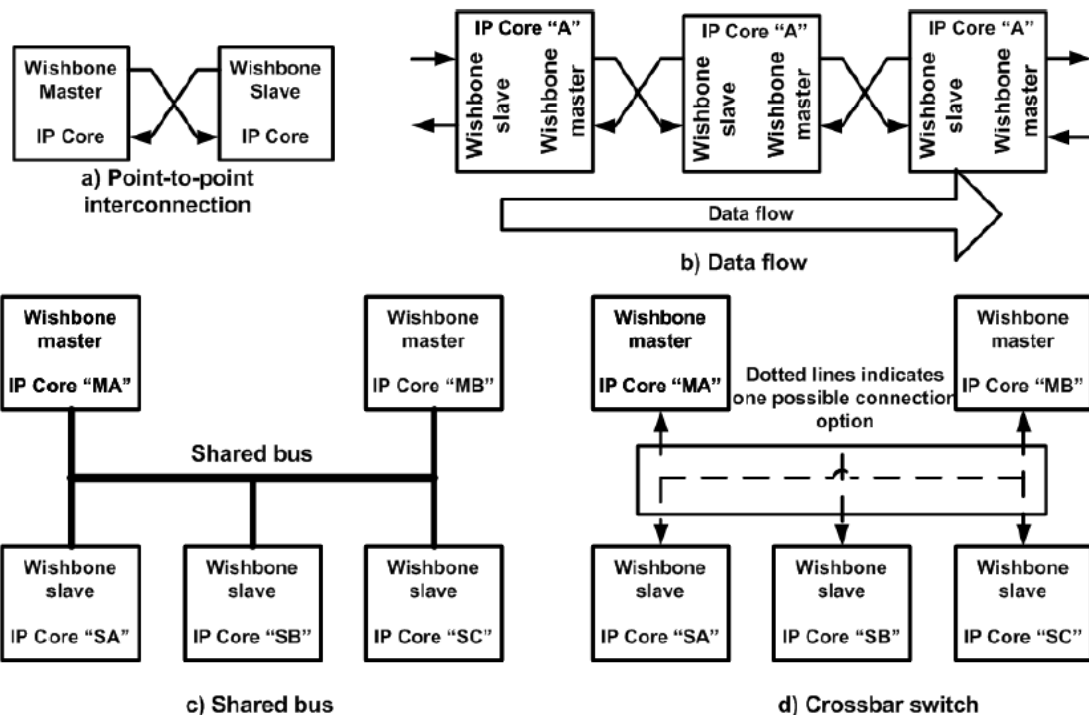


- Bus développé par Silicores
- Distribué en open source par OpenCores
- Interconnection souple :
 - a. Point à point
 - b. En chaîne (data flow)
 - c. Par bus (avec arbitre si multimaitre)
 - d. Par crossbar switch
- 3 types de transactions :
Single R/W, Block R/W, Read Modify Write

25/10/2009

Reconfigurable Computing / MSR

18

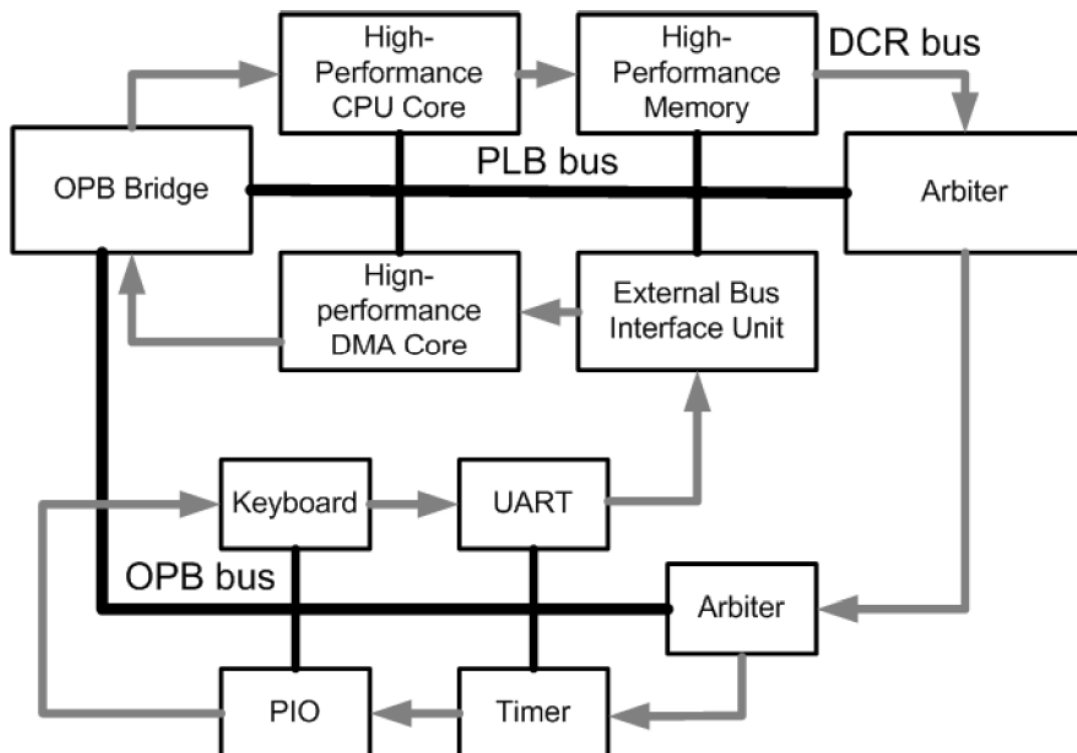


- Bus développé par IBM
- Utilisé sous licence par Xilinx
- Processor Local Bus (PLB)
 - Haute performance /haute vitesse
 - 32/64/128 bits
- On-chip Peripheral Bus (OPB)
 - Basse vitesse
 - 32 bits
- Device Control Register Bus (DCR)
 - Bus en anneau: accès direct aux registres des périphériques

25/10/2009

Reconfigurable Computing / MSR

19

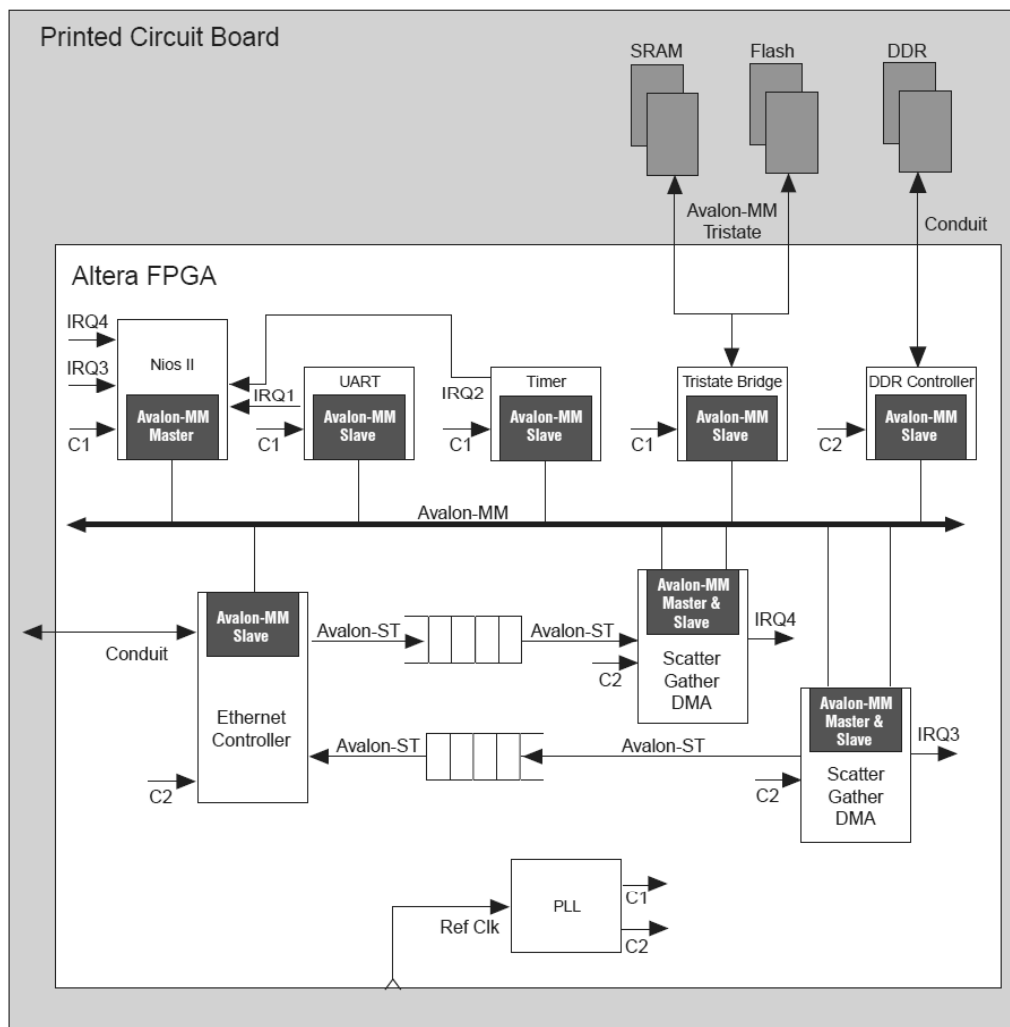


- **Bus propriétaire Altera**
- **Interfaces :**
 - **Avalon Memory Mapped Interface (Avalon-MM)**
 - Interface classique maître /esclave
 - **Avalon Streaming Interface (Avalon-ST)**
 - Interface de streaming
 - **Avalon Memory Mapped Tristate**
 - Bus tristate pour connection à l'extérieur de la FPGA
 - **Avalon Clock**
 - **Avalon Interrupt**

25/10/2009

Reconfigurable Computing / MSR

20



- **uC-Linux (System Linux sans MMU)**
 - Altera NiosII, Xilinx MicroBlaze, Mico32, Leon
- **FreeRTOS (RTOS open source)**
 - Altera NiosII, Xilinx MicroBlaze
- **Micrium μ C/OS-II RTOS**
 - Altera NiosII, Xilinx MicroBlaze, Mico32
- **eCos (RTOS open source)**
 - Leon

Cette page est volontairement laissée vide.

Bibliographie

Embedded Processors

- **Nios II Processor Reference Handbook**
© March 2009 Altera Corporation
- **MicroBlaze Processor Reference Guide**
Xilinx UG081 (v4.0) August 24, 2004
- **OpenSPARC T1 Microarchitecture Specification**
SPARC International, Inc - August 2006
- **OpenSPARC T2 Core Microarchitecture Specification**
SPARC International, Inc - December 2007
- **LEON2 Processor User's Manual Version 1.0.23**
Gaisler Research XST Edition May 2004
- **LEON3 Product Sheet**
Aeroflex Gaisler
- **Lattice Mico32 Processor Reference Manual**
© 2008 Lattice Semiconductor Corporation.
- **Cortex-M1 Processor**
ARM DOI 0243-2/05.07
- **Freescale™ V1 ColdFire Processor for Altera™ Cyclone™ III**
© Copyright 2008, IPextreme.
- **IP CORE OVERVIEW OpenRISC 1200 RISC/DSP Core**

25/10/2009

Reconfigurable Computing / MSR

22

SoPC busses

- **AMBA™ Specification (Rev 2.0)**
© Copyright ARM Limited 1999. ARM IHI 0011A
- **WISHBONE System-on-Chip (SoC) Interconnection Architecture for Portable IP Cores**
Silicores - Revision: B.3, Released: September 7, 2002
- **Avalon Interface Specifications**
© April 2009 Altera Corporation
- **CoreConnect Bus Architecture**
IBM - Copyright International Business Machines Corporation 1999

Articles

- **Soft-Core Processors for Embedded Systems**
Jason G. Tong, Ian D. L. Anderson and Mohammed A. S. Khalid
- **An Overview of On-Chip Buses**
Milica Mitić and Mile Stojčević
SER.: ELEC. ENERG. vol. 19, no. 3, December 2006, 405-428