

REPTAR-DAY

*Reconfigurable Embedded Platform for
Training And Research*



22 Juin 2012



HEIG-VD
Institut REDS, Reconfigurable & Embedded Digital Systems
rte Cheseaux 1, 1400 Yverdon-les-Bains
<http://www.reds.ch/>

heig-**vd**

Haute Ecole d'Ingénierie et de Gestion
du Canton de Vaud

Agenda



- **Introduction** 15H00
- **Hardware REPTAR** 15H15
- **Software REPTAR** 15H45
- **Démonstrations** 16H00
- **Discussions** 17H10
- **Apéritif dînatoire** 17H30

Introduction



- **Historique**

- **Renouvellement** des cartes de laboratoires pour les cours d'informatique embarquée et d'architecture des systèmes à processeur (HEIG-VD, département TIC)
- **Refonte des plans d'étude** du département TIC de la HEIG-VD
- Intérêt de **fédérer** certains laboratoires et d'offrir une **plate-forme commune** aux étudiants
- Développement d'une plate-forme embarquée pour **démonstration** et **prospection** de projets auprès des industries

3

Reconfigurable and Embedded Digital Systems

ReDS

Introduction



- **Projet REPTAR**

- **Reconfigurable Embedded Platform for Training And Research**
- Projet conduit et réalisé par l'institut **ReDS**
- Soutien financier par la direction de la HEIG-VD
- Réalisation du projet sur 2011 (*hardware*) et 2012 (*software*)

4

Reconfigurable and Embedded Digital Systems

ReDS

Introduction



- **Objectifs**

- Développement d'une plate-forme embarquée **universelle** destinée à l'usage de l'enseignement et de la Ra&D au sein de la HES-SO et au-delà...
- Plate-forme **modulaire** extensible
- **Accès facile à l'information** et à l'environnement logiciel (*Open Source*)
- **Communication** au sein de la HES-SO

Introduction



- **Champs d'utilisation**

- ***Enseignement***
 - Cours d'informatique embarquée
 - Cours de systèmes numériques
 - Cours de systèmes d'exploitation (GPOS / RTOS)
 - Cours d'informatique (développement *Smartphone*)
 - Cours d'architecture d'ordinateurs, de systèmes à processeur
 - ...
- ***Ra&D***
 - Développement de prototypes
- ***Démonstrateur***

Introduction



• Domaines d'application Ra&D

- Multimédia
- Télécommunications
- Accélération de calcul (ARM/Neon, DSP, FPGA)
- Motion control
- Régulation
- Sécurité
- *Rapid prototyping*
- ...



7

Reconfigurable and Embedded Digital Systems

ReDS

Introduction



• Planning

• 2011

- Analyse des besoins au niveau HEIG-VD & HES-SO
- Spécification du matériel
- Design / Réalisation

• 2012

- Réception du prototype I
- Tests matériel & logiciel
- Développement logiciel / **Board Support Package**
- **Prototype II** attendue pour la fin juillet 2012 (8 cartes)
- Série de **24 cartes** (complètes) pour la fin 2012

8

Reconfigurable and Embedded Digital Systems

ReDS

Introduction



• Utilisation de la plate-forme REPTAR

- Disponibilité de la **documentation du matériel** (.pdf)
- Possibilité de **personnaliser** la plate-forme en collaboration avec l'institut REDS
- Disponibilité du **logiciel de base** (BSP)
 - Accès au *software* via le gestionnaire de version *GIT* (peut être accessible depuis l'*Extranet*)
- **Site Wiki** (style *Wikipedia*...)
 - <https://wikireds.heig-vd.ch/index.php?title=REPTAR>
- Contact: **reds@heig-vd.ch**

9

Reconfigurable and Embedded Digital Systems

ReDS

Hardware REPTAR



• Données générales

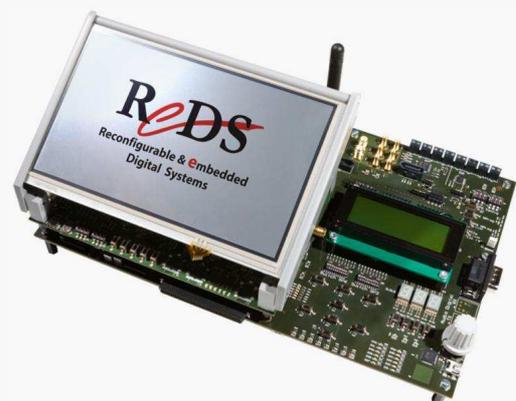
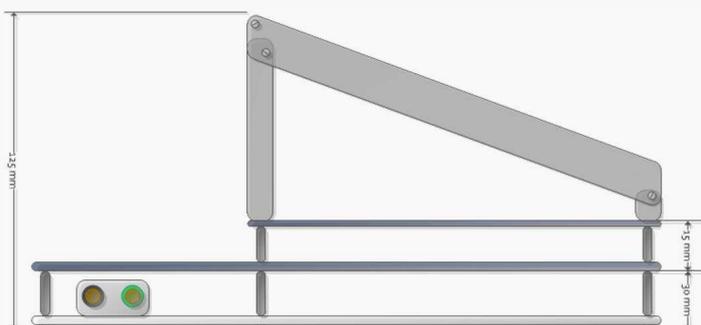
- Plate-forme modulaire composée de 2 cartes principales:

CPU & FPGA

• Alimentation

- Embarquée sur la carte FPGA pour les 2 cartes
- Montage possible d'une carte spécifique d'alimentation pour l'utilisation de la carte CPU seule (selon demande)

- **Dimensions**: 170 x 270 x 125 cm



10

Reconfigurable and Embedded Digital Systems

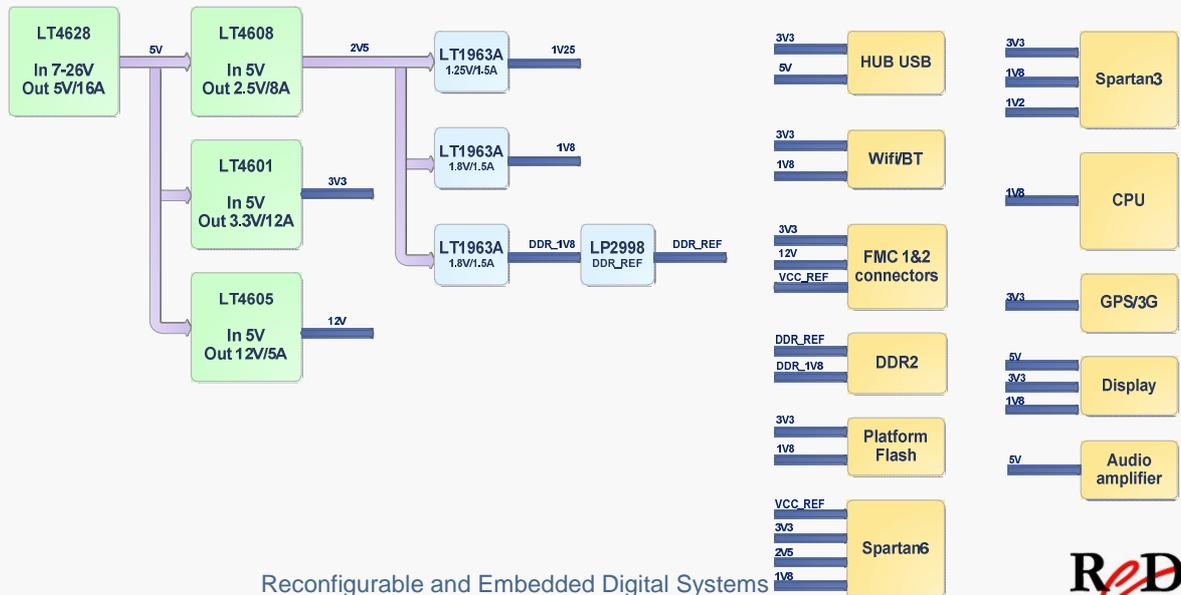
ReDS

Hardware REPTAR



• Alimentation & puissance

- Circuit principal: *Linear Technologies* μ Module LT4628
- Entrée: 7V - 26V
- Sortie: 5V / 16A
- Consommation maximale (2 cartes): **80 Watt**



11

Reconfigurable and Embedded Digital Systems

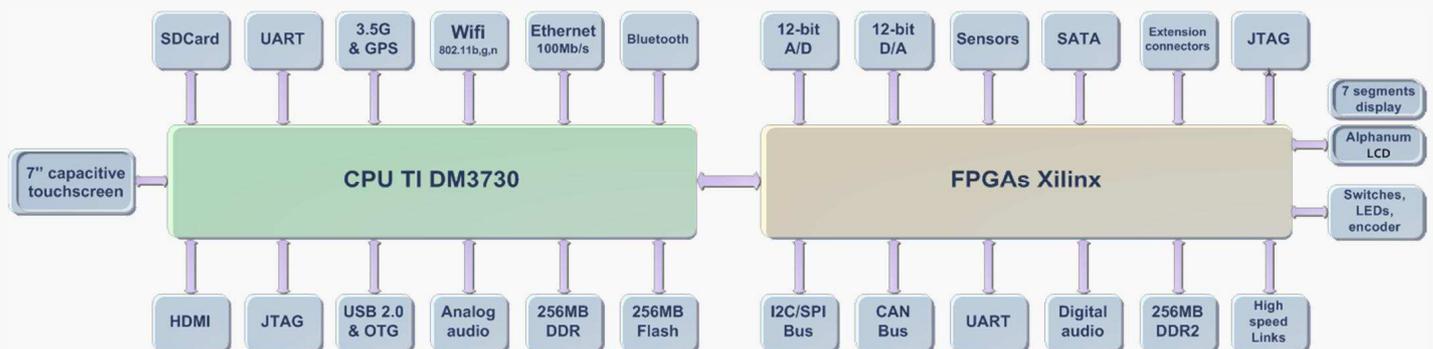


Hardware REPTAR



• Architecture fonctionnelle

- Modularité matérielle et fonctionnelle
 - Carte FPGA autonome
 - Carte CPU autonome (sous réserve)



12

Reconfigurable and Embedded Digital Systems

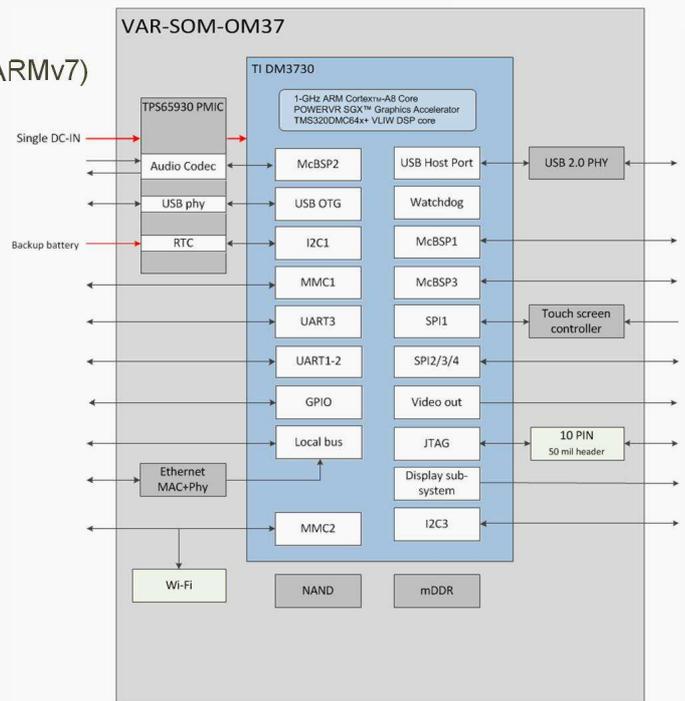


Hardware REPTAR



• Module CPU

- Module original: **Variscite VAR-SOM-OM37**
- Microcontrôleur **DM 3730** à base d'un **Cortex-A8** (ARMv7) (compatible OMAP 3)
- Fréquence CPU de 1 GHz
- **RAM DDR 256 MB** (64-512 MB)
- Mémoire **flash** de 256 MB (256-512 MB)
- Interface **SDcard**
- Interface pour écran TFT / **Sortie HDMI**
- Interface **écran tactile capacitif**
- Interfaces **UART/I2C/SPI**
- Interface **Ethernet 100Mbit**
- DAC/ADC **16 bits** linéaire audio stereo
- MIC et Line In & Out
- Interfaces USB 2.0 Host + OTG
- **Support pour JTAG**



13

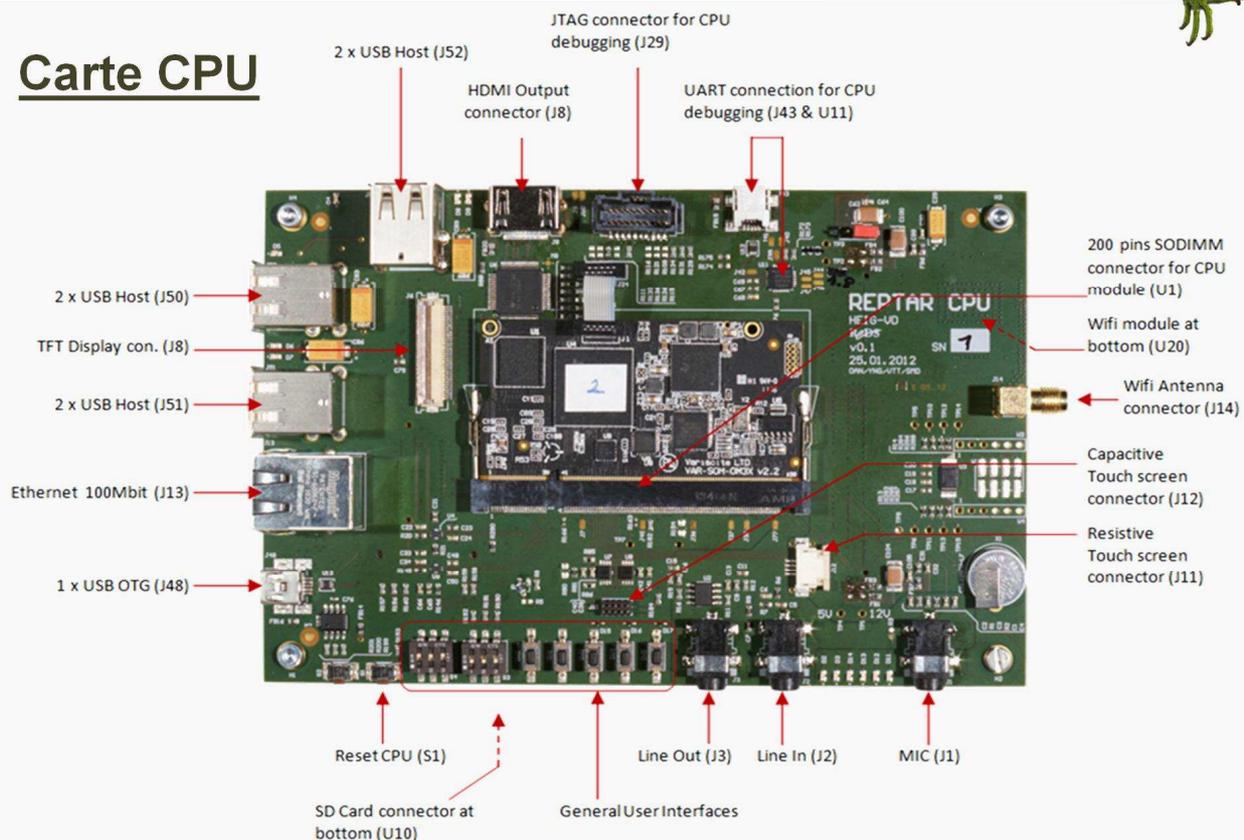
Reconfigurable and Embedded Digital Systems



Hardware REPTAR



• Carte CPU



14

Reconfigurable and Embedded Digital Systems



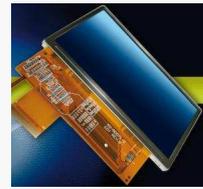
Hardware REPTAR



• Dispositifs d'affichage

• Ecran tactile capacitif 7"

- 800 x 480
- I²C pour la surface tactile
- Possibilité de connecter un écran résistif à la place du capacitif



• Affichage LCD

- 4 x 20 lignes



• Affichage 7-segments

• HDMI

- Sortie simultanée sur écran tactile & HDMI

15

Reconfigurable and Embedded Digital Systems

ReDS

Hardware REPTAR



• Circuits programmables

- **FPGA** Xilinx Spartan 6
- XC6SLX150TFGG900-3
- **147'443 éléments logiques**
- **184'304 Flip-flop**
- 1'335 Kbit de RAM distribuée
- 4'824 Kbit de blocs RAM
- 4 MCB
- 8 Transceivers (GTP) @ 3GHz
- **Support pour JTAG**



16

Reconfigurable and Embedded Digital Systems

ReDS

Hardware REPTAR



		Spartan-6 LX FPGAs Optimized for Lowest-Cost Logic, DSP, and Memory (1.2V, 1.0V)								Spartan-6 LXT FPGAs Optimized for Lowest-Cost Logic, DSP, and Memory with High-Speed Serial Connectivity (1.2V)				
		XC6SLX4	XC6SLX9	XC6SLX16	XC6SLX25	XC6SLX45	XC6SLX75	XC6SLX100	XC6SLX150	XC6SLX25T	XC6SLX45T	XC6SLX75T	XC6SLX100T	XC6SLX150T
Logic Resources	Slices ⁽¹⁾	600	1,430	2,278	3,758	6,822	11,662	15,822	23,038	3,758	6,822	11,662	15,822	23,038
	Logic Cells ⁽²⁾	3,840	9,152	14,579	24,051	43,661	74,037	101,261	147,443	24,051	43,661	74,037	101,261	147,443
	CLB Flip-Flops	4,800	11,440	18,224	30,064	54,576	93,296	126,576	184,304	30,064	54,576	93,296	126,576	184,304
Memory Resources	Maximum Distributed RAM (Kb)	75	90	136	229	401	692	976	1,355	229	401	692	976	1,355
	Block RAM (18 Kb each)	12	32	32	52	116	172	268	268	52	116	172	268	268
	Total Block RAM (Kb) ⁽³⁾	216	576	576	936	2,088	3,096	4,824	4,824	936	2,088	3,096	4,824	4,824
Clock Resources	Clock Management Tiles (CMT) ⁽⁴⁾	2	2	2	2	4	6	6	6	2	4	6	6	6
I/O Resources	Maximum Single-Ended Pins	132	200	232	266	358	408	480	576	250	296	348	498	540
	Maximum Differential Pairs	66	100	116	133	179	204	240	288	125	148	174	249	270
Embedded Hard IP Resources	DSP48A1 Slices ⁽⁵⁾	8	16	32	38	58	132	180	180	38	58	132	180	180
	Endpoint Block for PCI Express [®]	—	—	—	—	—	—	—	—	1	1	1	1	1
	Memory Controller Blocks	0	2	2	2	2	4	4	4	2	2	4	4	4
	GTP Low-Power Transceivers	—	—	—	—	—	—	—	—	2	4	8	8	8
Speed Grades	Commercial ⁽¹⁰⁾	-1L, -2, -3	-1L, -2, -3, -3N	-2, -3, -3N	-2, -3, -3N	-2, -3, -3N	-2, -3, -3N	-2, -3, -3N						
	Industrial ⁽¹¹⁾	-1L, -2, -3	-1L, -2, -3, -3N	-2, -3, -3N	-2, -3, -3N	-2, -3, -3N	-2, -3, -3N	-2, -3, -3N						
Configuration	Configuration Memory (Kb) ⁽⁶⁾	2.7	2.7	3.7	6.4	11.9	19.6	26.5	33.8	6.4	11.9	19.6	26.5	33.8
Package	Body Area	Maximum User I/O: SelectIO™ Interface Pins (GTP Transceivers ⁽⁷⁾)												
Chip Scale Packages (CPG): Pb-free, wire-bond, chip scale BGA (0.5 mm ball spacing)														
	CPG106 ⁽⁷⁾	8 x 8 mm	106	106	106									
TQFP Packages (TQG): Pb-free, thin QFP (0.5 mm lead spacing)														
	TQG144 ⁽⁷⁾	20 x 20 mm	102	102										
Chip Scale Packages (CSG): Pb-free, wire-bond, chip scale BGA (0.8 mm ball spacing)														
	CSG225 ⁽⁸⁾	13 x 13 mm	132	160	160									
	CSG324	15 x 15 mm		200	232	228	218			190 (2)	190 (4)			
	CSG484 ⁽⁹⁾	19 x 19 mm					320	328	338	338		290 (4)	292 (4)	296 (4)
BGA Packages (FTG): Pb and Pb-free, wire-bond, fine-pitch thin BGA (1.0 mm ball spacing)														
	FTG256	17 x 17 mm	166	166	166									
BGA Packages (FGG): Pb and Pb-free, wire-bond, fine-pitch BGA (1.0 mm ball spacing)														
	FGG484 ⁽⁹⁾	23 x 23 mm			266	316	280	326	338	250 (2)	296 (4)	268 (4)	296 (4)	296 (4)
	FGG676	27 x 27 mm				358	408	480	498			348 (8)	378 (8)	398 (8)
	FGG900	31 x 31 mm							576				498 (8)	540 (8)

17

Reconfigurable and Embedded Digital Systems



Hardware REPTAR



• Circuits programmables

- FPGA utilisée pour la configuration
- Xilinx Spartan3 AN XC3S200AN-5FTG256C
 - Pilotage du chargement du bitstream dans la Spartan 6
 - Arbitreur de la chaîne JTAG
- Xilinx PlatformFlash XCF32P
 - Stockage jusqu'à 4 bitstreams compressés pour la Spartan 6

18

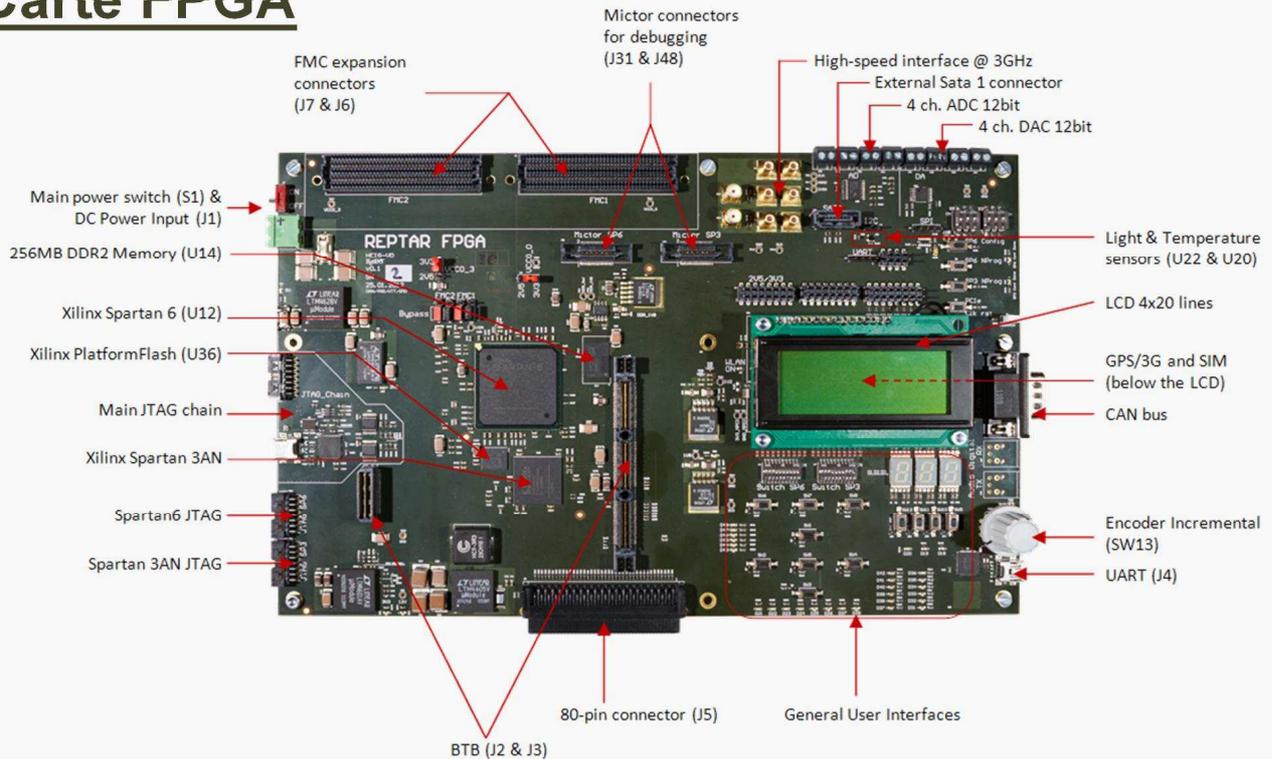
Reconfigurable and Embedded Digital Systems



Hardware REPTAR



• Carte FPGA



19

Reconfigurable and Embedded Digital Systems

ReDS

Hardware REPTAR



• Sous-système Mémoire

- Mémoire externe DDR2 SDRAM (connectée à la Spartan6)
 - 256 MB
 - 800 MHz
- Mémoire flash parallèle (sur module CPU)
 - 256 MB
- Mémoire DDR SDRAM (sur module CPU)
 - 256 MB
 - 400 MHz
- Interface **SDCard** présente sur le module CPU



20

Reconfigurable and Embedded Digital Systems

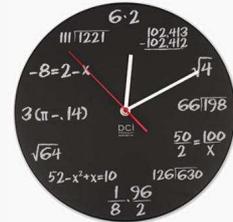
ReDS

Hardware REPTAR



• Sous-système des horloges

- Horloge **150 MHz** (pour le sous-système SATA)
- Horloge **125 MHz** (pour le sous-système PCIe)
- Horloge **100 MHz** (pour logique interne Spartan 6)
- Horloge **100 MHz** (pour logique interne Spartan 3AN)
- Horloge *lente* **25 MHz** (pour logique interne Spartan 6)
- La FPGA Spartan 6 distribue les horloges suivantes à partir de son circuit PLL
 - Mémoire externe DDR2
 - Interface PCIe
 - Interface SATA



21

Reconfigurable and Embedded Digital Systems

REDS

Hardware REPTAR

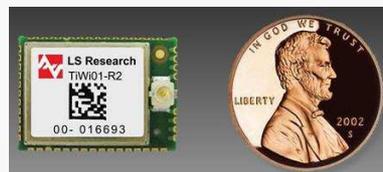


• Sous-système de communication

- Module **100 Mbit Ethernet** intégré au module CPU

- Module **WIFI & Bluetooth**

- IEEE 802.11 b/g/n compatible
- BT 2.1 compatible



- Module **3G & GPS**

- Module mini carte PCI Express (*full size*)
- WCDMA/HSPA/HSPA Evolution, GPRS/EDGE, UMTS et GSM
- GPS assisté



22

Reconfigurable and Embedded Digital Systems

REDS



• Interfaces utilisateur

- Tous ces composants sont situés soit sur la carte CPU, soit sur la carte FPGA, et fournissent ainsi des facilités pour le *debug* des circuits déployés.
- LEDs
- Boutons-poussoir
- Boutons *reset* (CPU & FPGA)
- Interfaces de *debug* (**connecteurs Mictor**)



• Interfaces sérieelles

- Toutes ces interfaces interconnectent le CPU, FPGA et les différents capteurs embarqués.

• **UART**

• **I²C**

• **SPI**

• **CAN**





• Sous-système audio

• Audio 16 bits stéréo analogique

- 1 mini jack line In
- 1 mini jack line Out
- 1 Mic pre-amp mini jack



• Audio numérique

- 1 récepteur **Toslink**
- 1 émetteur **Toslink**



• Sous-système USB

• 6 connecteurs de type *host* (*hub* externe sur la carte CPU)

• 1 connecteur OTG (intégré au module CPU)



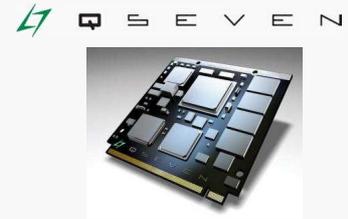
• 1 connection directe USB-UART vers la FPGA

• 1 connection directe USB-UART vers le CPU pour une console série



• Liens haute vitesse

- **3 connecteurs SMB** permettent l'accès aux *transceivers* haute vitesse de la Spartan 6
 - 1 entrée différentielle
 - 1 sortie différentielle
 - Une entrée d'horloge de référence
- **1 connection PCIe** entre la Spartan 6 et le module CPU
 - 2 voies
 - Horloge de référence interne ou externe
- **1 lien SATA** entre la Spartan 6 et le module CPU
- **1 connecteur externe SATA** depuis la Spartan 6



• Capteurs et actuateurs

- Capteur de température
- Capteur de lumière
- *Buzzer*
- Encodeur incrémental
- Accéléromètre



Hardware REPTAR



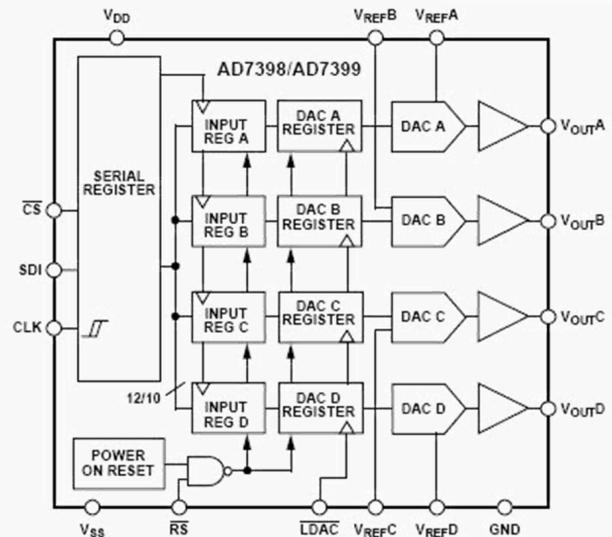
• Convertisseurs AD/DA

• DAC 12-bit

- 4 canaux
- Interface SPI
- Alimentation unique 3V-5V

• ADC 12-bit

- 4 canaux
- Echantillonnage 1 MHz
- Interface SPI
- Alimentation analogique entre 2.7-5.25 V
- Alimentation numérique entre 1.7-5.25 V



29

Reconfigurable and Embedded Digital Systems

ReDS

Hardware REPTAR



• Sous-système JTAG

- Configuration de la Spartan 6 et PlatformFlash avec JTAG
- Module USB Platform Cable directement intégré à la carte FPGA
 - Possibilité de choisir entre un connecteur JTAG classique (via Platform Cable Xilinx externe) et un câble USB



- Chaîne JTAG configurable par *jumper* avec Spartan 6, PlatformFlash, FMC1 & FMC2 (*bypass*)
- La Spartan 3AN possède son propre JTAG

30

Reconfigurable and Embedded Digital Systems

ReDS



- Connecteurs d'extension

- **2 connecteurs FMC LPC**

- 34 lignes différentielles ou 58 signaux *single-ended*
- 1 paire haute vitesse
- Signaux d'horloge
- Interface **JTAG**
- Interface I2C



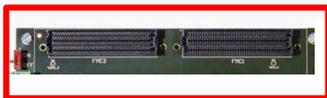
- **Connecteur DHB DDK**

- 78 signaux GPIOs depuis la FPGA Spartan 6



- Extensions de la FPGA: standard FMC

- Standard de cartes mezzanines pour FPGA
- 2 connecteurs : 58 signaux (ou 34 lignes différentielles)



Hardware REPTAR



• Traitement du signal avec REPTAR

- Avec 1 ou 2 carte(s) FMC AD/DA, audio, vidéo, radio ...

FPGA uniquement

1. VHDL / Verilog + outils Xilinx ou Mentor
2. Matlab Simulink
+ Xilinx System Generator
ou Matlab HDL coder



FPGA + Processeur

3. Environnement RECOMS : Matlab Simulink
+ développement sous Linux



33

Reconfigurable and Embedded Digital Systems



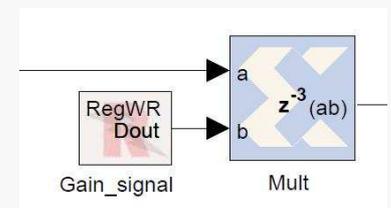
Hardware REPTAR



• Un labo avec RECOMS ?



1. Design traitement du signal Matlab Simulink



2. Contrôle ligne de commande sous Linux

>\$ recoms write Gain_signal 3.456

3. Application sous Linux avec API C et API C++

recoms_dmover_write_single_data("Gain_signal", 3.456);

4. Commande graphique via QT



34

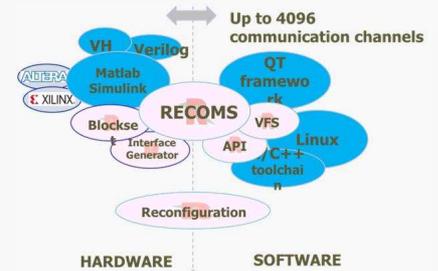
Reconfigurable and Embedded Digital Systems



Hardware REPTAR



• L'environnement RECOMS comprend :



1. Une librairie de blocs Simulink
2. Un générateur automatique d'interface processeur / FPGA
3. Une API C /C++ et des commandes en ligne
4. Un launcher d'application
=> reconfiguration complète : FPGA, interface, application
5. Plusieurs «outils» : scope 4 voies, diagramme œil , constellation, ..
6. Plusieurs designs de référence dont une radio OFDM

35

Reconfigurable and Embedded Digital Systems

REDS

Hardware REPTAR



• **Combien coûte la plate-forme REPTAR ?**

- Base de 30 unités
- Pas d'antenne GPS
- PCB, montage
- Mise en route (1h)
- Mécanique telle que support plexi, support écran, supports antennes GPS et GSM, support alimentation

• Carte CPU

- 1'320 CHF TTC
- Composants inclus écran & carte d'adaptation, 1 antenne Wifi, 1 antenne GSM
- Emulateur JTAG/USB Blackhawk USB100v2 ~100 CHF



• Carte FPGA

- 2'200 CHF TTC

• Carte complète

- 3'520 CHF TTC



36

Reconfigurable and Embedded Digital Systems

REDS

Software REPTAR



- Une palette très large de *software* peut tourner sur REPTAR
- OS **Linux**, Windows CE, Windows Embedded Compact 7, Android, etc.

- Disponibilité Android ICS sur Beagleboard DM 3730

"New software development kit brings Android 4.0 capabilities to Sitara AM335x and AM37x ARM Cortex-A8 processors, catering to markets that require low-cost, low-power SoCs", from TI



- RTOS Linux/**Xenomai**, RTEMS, etc.
- Plusieurs configurations sont disponibles
- Le *software* de base a été **adapté** pour REPTAR



- Accès aux *software* de base au travers du **dépôt git**

37

Reconfigurable and Embedded Digital Systems



Software REPTAR



- **Board Support Package (BSP)**

- *Toolchains* (compilateur, linker, debugger, etc.)
- Moniteur / **Bootloader**
- Noyau OS **Linux**
- Systèmes de fichiers **rootfs**
- **Emulateur**
- Applications diverses
- Ensemble de **scripts** pour génération / déploiement
- Environnements de développement (**IDE**)

38

Reconfigurable and Embedded Digital Systems





- Toolchains

- *Toolchain* utilisé dans le contexte REPTAR:
arm-none-linux-gnueabi (2009-q1)
- Compilation des applications avec ou sans OS Linux



- Moniteur / Bootloader

- Original: U-boot 2011-09 (Version 2011, *patch level 09*)
- Accès à la carte via interface série UART

- Nécessité d'avoir *x-loader* comme premier *bootloader* car RAM initiale limitée

- Démarrage d'applications ou du système d'exploitation
- Transfert de contenu en flash via *tcp/ip*
- Déploiement d'un *bitstream* dans la FPGA
- Intégration de **ITBOK** (*Is The Board OK*) pour tester les composants de la carte

Software REPTAR



• Noyau OS Linux

- Original: *Linux 3.0.12 (Sneaky Weasel)*
- Portage du noyau 2.6.37 (fourni par *Linaro*) vers 3.0
- Support de l'extension temps-réel *dur Xenomai*
- Pilotes de périphériques spécifiques à la plate-forme

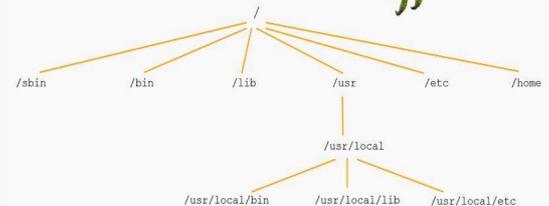


Software REPTAR



• Systèmes de fichiers *rootfs*

- Différentes variantes seront disponibles
 - Support pour **applications graphiques**, *desktop* style "Gnome"
 - **Android**
 - Léger – destiné à tourner des applications *standalone* ou sans UI
- Stockage du (des) *rootfs* en *SD-Card* possible





- **Emulateur**

- Original: QEMU 1.0
- Rajout d'une plate-forme émulée: *reptar* (*qemu -M reptar ...*)
- Possibilité de démarrer l'émulateur avec le même noyau et le même système de fichiers destinés à tourner sur la *vraie* carte.
- Possibilité de démarrer *U-boot* (même image que celle déployée sur la carte) dans l'émulateur



- **Applications**

- Toutes les applications de démonstration
- Programmes de test de la plate-forme disponibles sur *Linux*
- Code pour les laboratoires
- Applications de base (*QDesktop*) pour le lancement d'applications
- Applications standards (navigateur Internet, calculatrice, etc.)

Software REPTAR



• Scripts

- Génération des composants et **déploiement** sur la cible ou émulateur
- Script principal: **Makefile** (à la racine)
- Possibilité de travailler *localement* dans les sous-répertoires
- Génération du système de fichier (*sdcard* ou image *jffs*)

45

Reconfigurable and Embedded Digital Systems

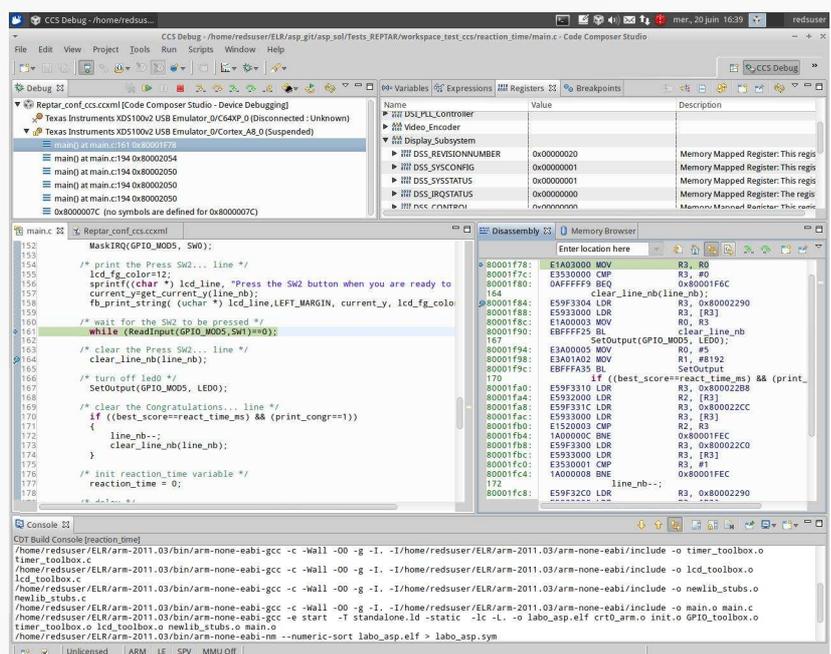
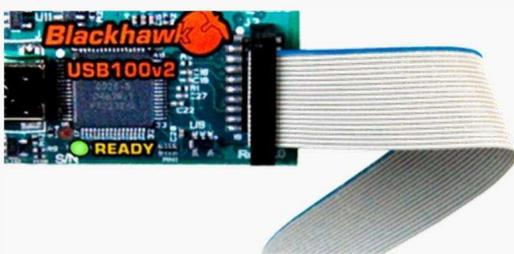


Software REPTAR



• Environnements de développement

- **Eclipse**
- **CodeComposer Studio**
 - Basé sur Eclipse
 - Permet l'utilisation du JTAG CPU
- Emulateur (sonde) JTAG sur USB
Blackhawk USB100v2



46

Reconfigurable and Embedded Digital Systems





• Modes d'utilisation

- La plate-forme peut être utilisé dans **3 modes** distincts
- **Mode CPU**
 - Avec ou sans *bootloader*
 - Avec ou sans OS
- **Mode FPGA**
 - Déploiement du *bitstream* via JTAG
- **Mode mixte (CPU & FPGA)**
 - Interconnexion via le bus local GPMC
 - Déploiement d'un *bitstream* dans la Spartan 6 via **JTAG, U-boot** ou **Linux**

Démonstrations



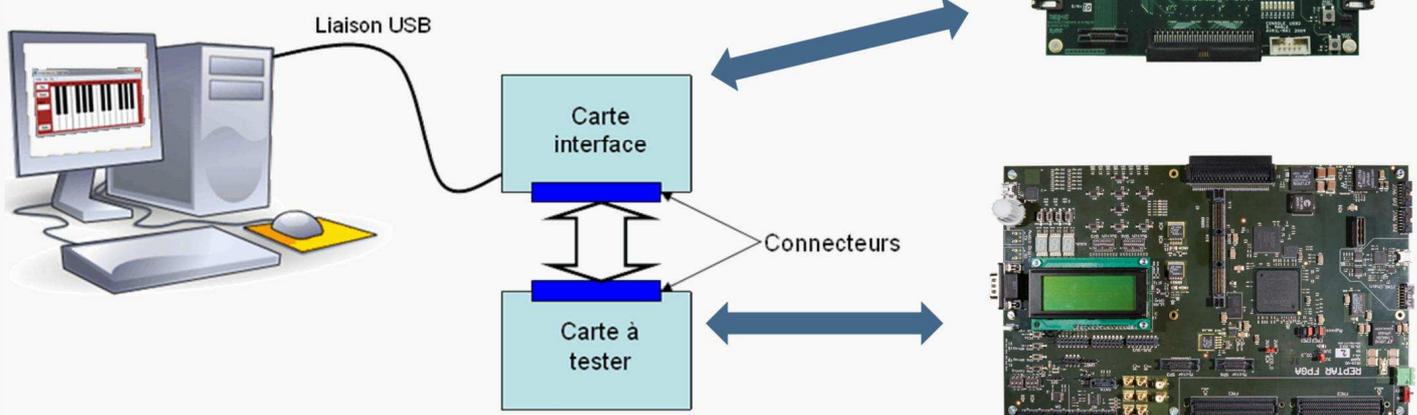
- 1) Piano
- 2) Température et heure
- 3) Jeu "Temps de réaction"
- 4) SMS + *bitstream* WiFi
- 5) Générateur de signaux
- 6) Streaming audio/vidéo
- 7) Vidéo TV - HDMI

Démo "Piano"



• Mode FPGA

- Démonstration des aspects didactiques
- Utilisation d'une console USB2



49

Reconfigurable and Embedded Digital Systems

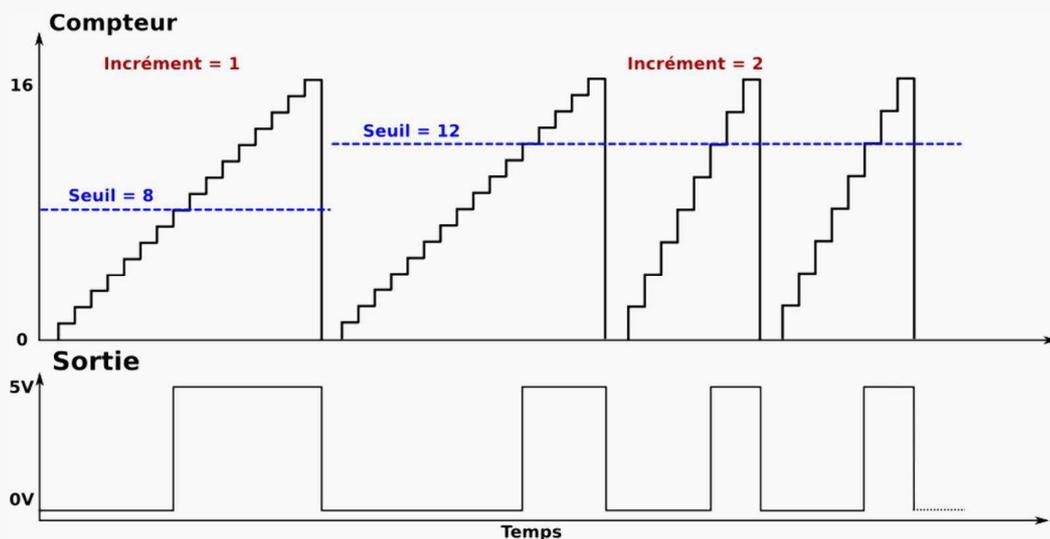
ReDS

Démo "Piano"



• Technique utilisée

- PWM: Variation de la fréquence (note) en fonction de l'incrément et contrôle du rapport cyclique (timbre) en fonction du seuil
- Les notes du piano sont obtenues en faisant vibrer le buzzer de la carte REPTAR-FPGA à différentes fréquences.



50

Reconfigurable and Embedded Digital Systems

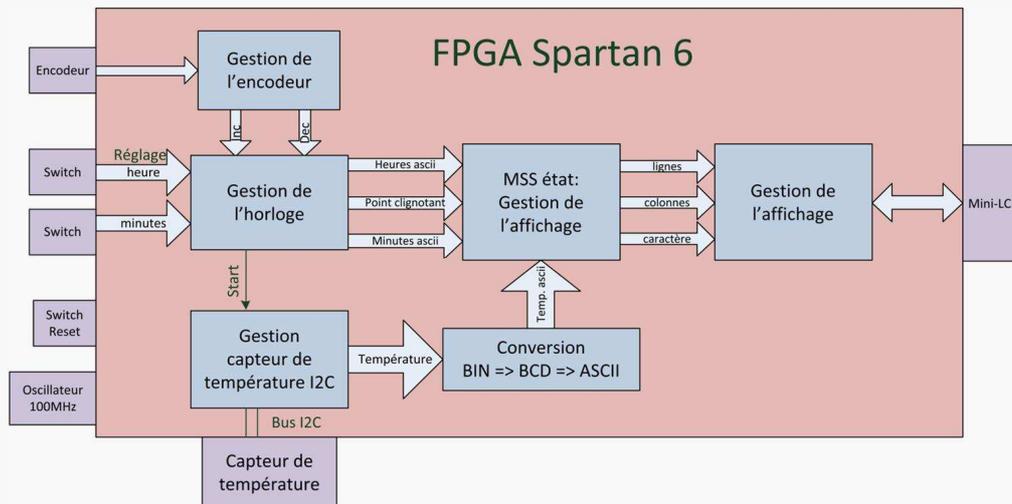
ReDS

Démo "Température et heure"



• Mode FPGA

- Gestion de température via Bus I2C
- Réalisation d'une horloge heures/minutes
- Réglage de l'heure à l'aide des boutons poussoir et d'un encodeur incrémental



51

Reconfigurable and Embedded Digital Systems

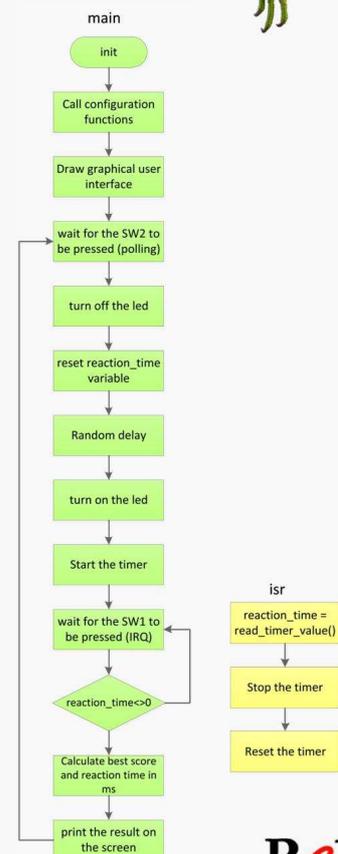
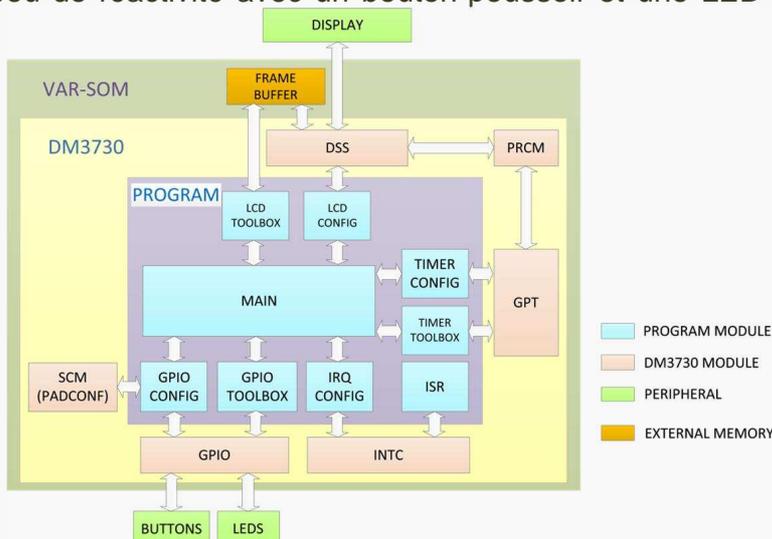


Démo "Jeu temps de réaction"



• Mode CPU

- Pas de système d'exploitation
- Accès direct aux registres du micro contrôleur afin de configurer les différents modules (display controller, GPIO, IRQ, timer)
- Jeu de réactivité avec un bouton-poussoir et une LED



52

Reconfigurable and Embedded Digital Systems



XFCE & QDesktop



- **Mode CPU**

- **XFCE**

- Navigateur Web
 - Editeur de texte, calculatrice, explorateur, etc.

- **QDesktop**

- Lanceur d'applications développé en Qt/C++
 - Thème graphique adapté pour surface tactile
 - Paramétrage via un fichier de configuration *.ini*

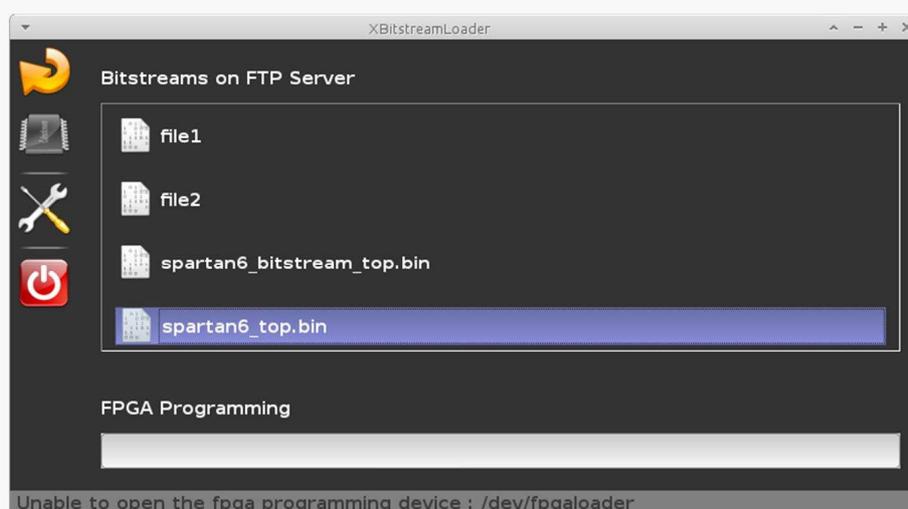


Démo "SMS + bitstream WiFi"



- **FPGALoader**

- Chargement de bitstream FPGA depuis *Linux*
 - Stockage du *bitstream* sur un serveur
 - Connexion TCP/IP sur serveur FTP paramétrable
 - *Driver* pour la programmation SP6 via SP3



Démo "SMS + bitstream WiFi"



• Mode mixte

- Transmission de commandes via SMS (interface QT)
- Utilisation du module GSM/3G/GPS Ericsson F5321
- Encodage / Décodage de SMS en mode PDU
- Interface FPGA via bus GPMC
- Mini-serveur AT : gestion du PIN, envoi, réception SMS
- Configuration dans l'application des paramètres

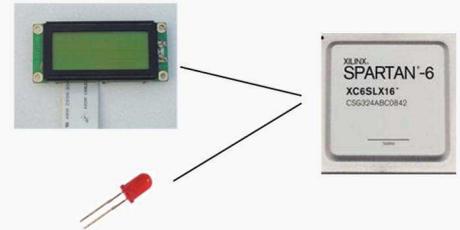


Carte#3: **079 941 06 00**

Carte#2: **079 941 06 06**

Commandes

led ID off | on | slow | fast
 led chase off | left | right
 alarm slow | fast
 lcd temp on | off
 lcd time on | off
 lcd time hh mm
 7seg off | on
 7seg val
 7seg count off | up | down

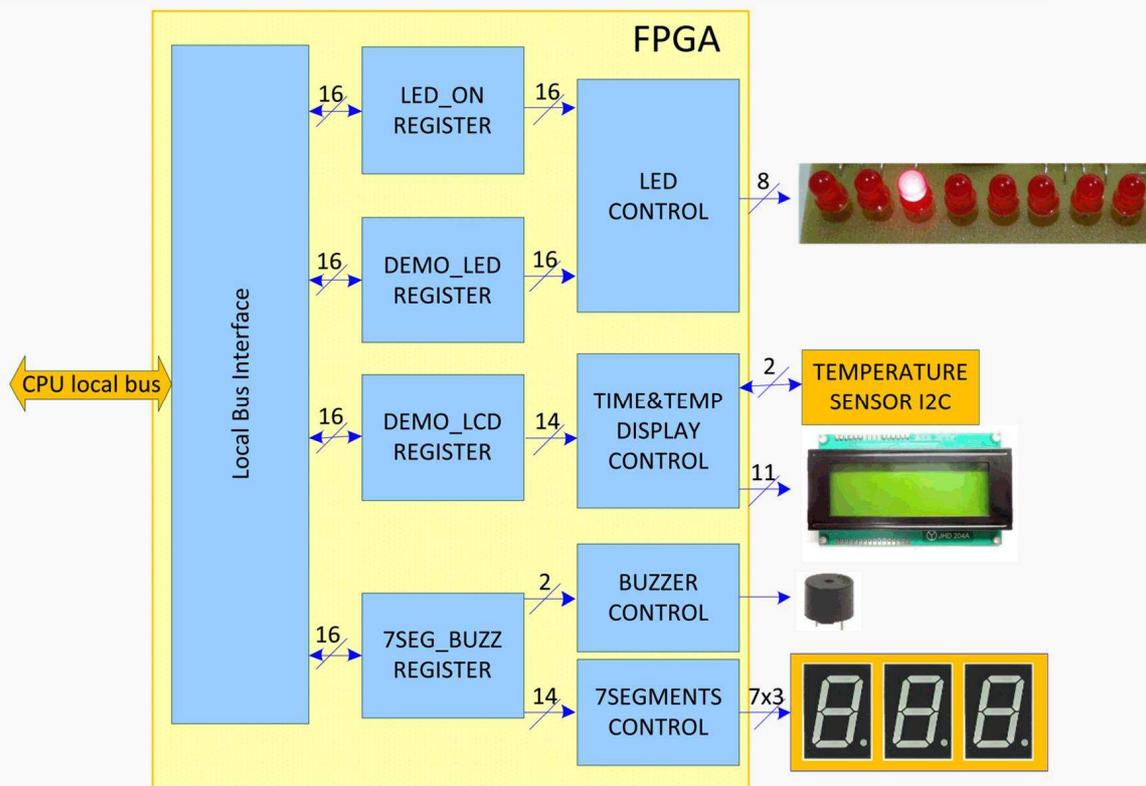


ReDS

Démo "SMS + bitstream WiFi"



• Bloc-diagramme du circuit FPGA



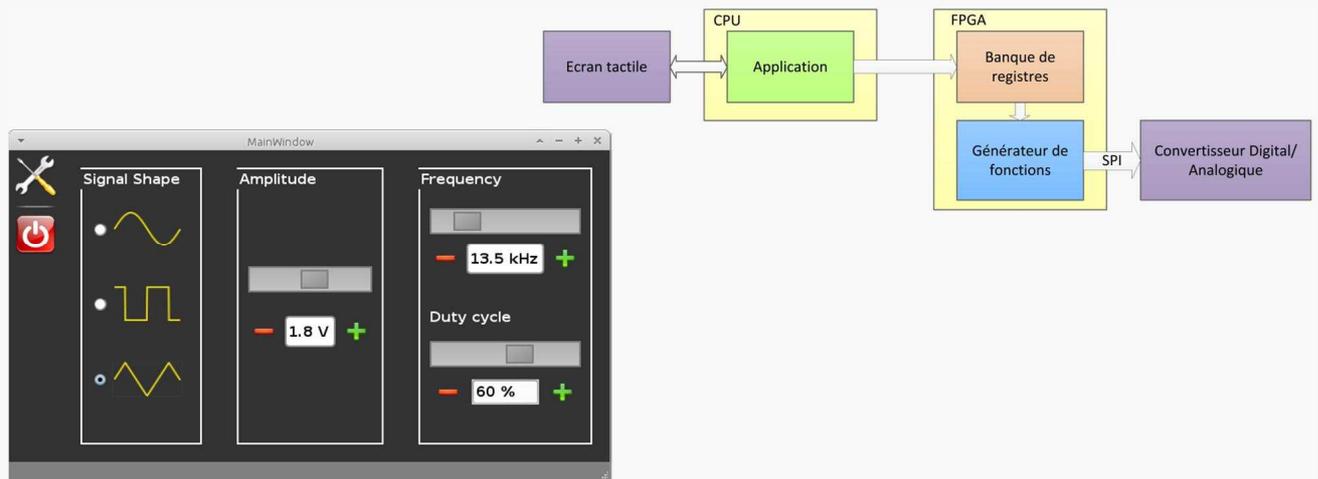
ReDS

Démo "Générateur de signaux"



- **Mode mixte**

- Générateur de fonctions paramétrable utilisant un DAC
- Réglage sur l'écran tactile de l'amplitude, la fréquence, de la forme du signal (Application QT)
- Communication avec la FPGA via le bus GPMC



57

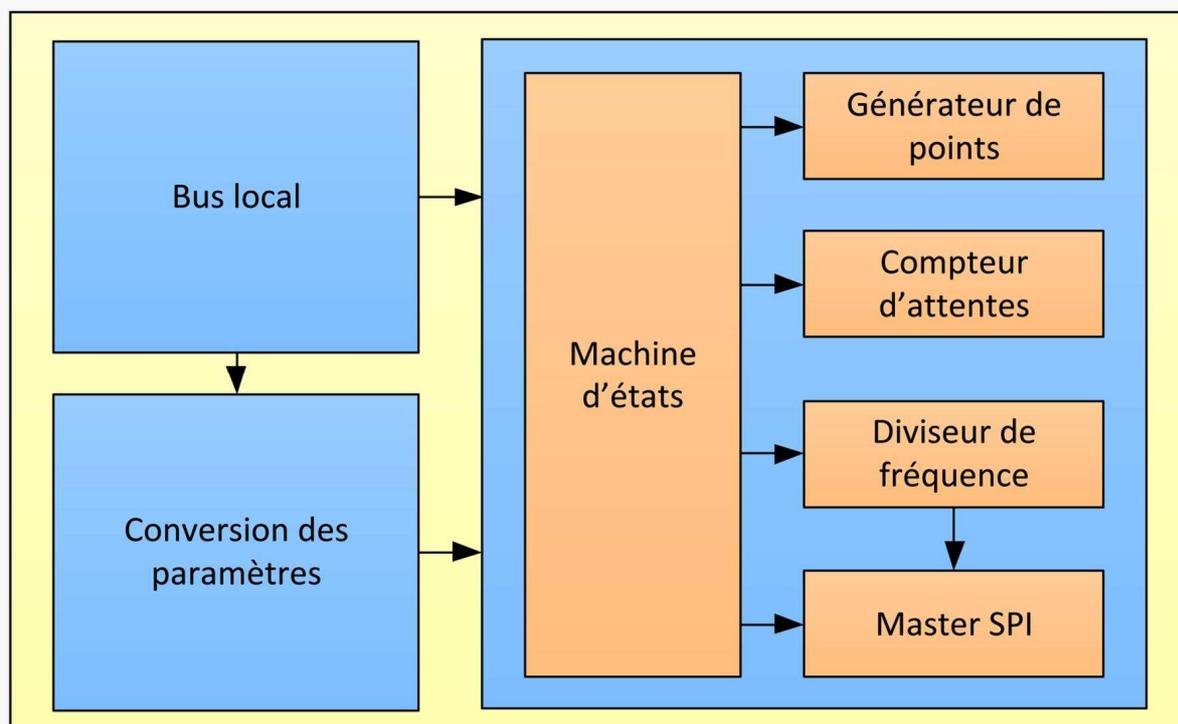
Reconfigurable and Embedded Digital Systems

ReDS

Démo "Générateur de signaux"



- **Bloc-diagramme du circuit FPGA**



58

Reconfigurable and Embedded Digital Systems

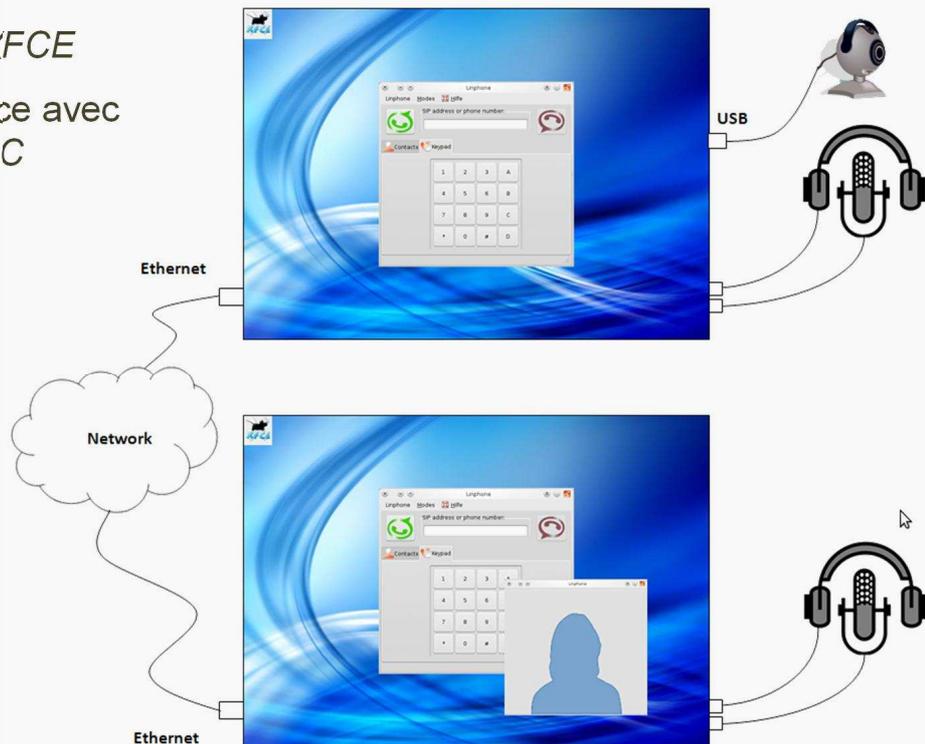
ReDS

Démo "Streaming audio/vidéo"



- **Mode CPU**

- Utilisation de *XFCE*
- Vidéoconférence avec *Linphone* & *VLC*



59

Reconfigurable and Embedded Digital Systems

ReDS

Démo "Streaming audio/vidéo"



- **Plate-forme #1**

- Distribution *Archlinux (ARM)* avec gestionnaire graphique *Xfce4*
- Connexion via LAN Ethernet
- Application VoIP: *Linphone*
- Webcam connecté sur USB (utilise le *driver V4L*)
- Flux vidéo de la Webcam streamé par un serveur *http (mjpg_streamer)*

- **Plate-forme #2**

- Distribution *Archlinux (ARM)* avec gestionnaire graphique *Xfce4*
- Connexion via LAN Ethernet
- Application VoIP: *Linphone*
- VLC utilisé pour afficher le contenu de la Webcam via l'URL :
`http://reptar1_ip:8080/?action=stream`

60

Reconfigurable and Embedded Digital Systems

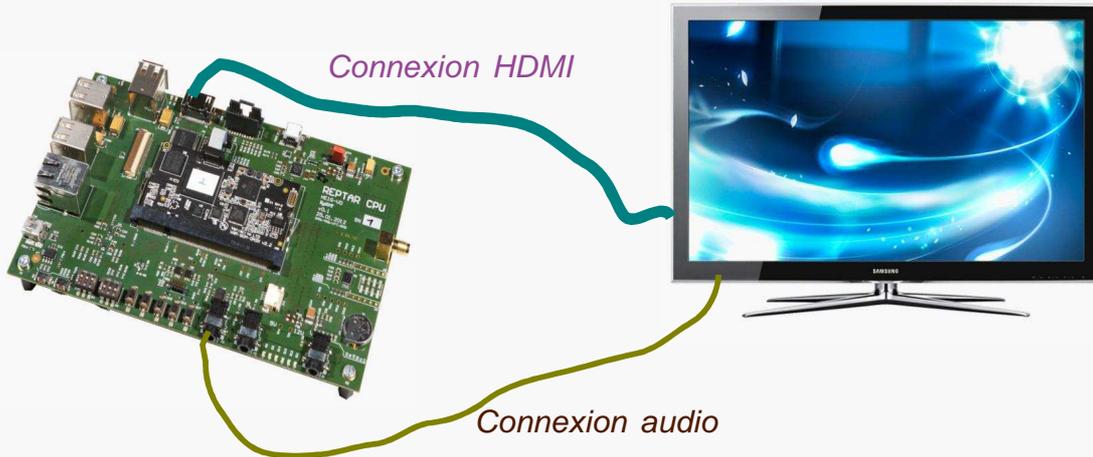
ReDS

Démo "Vidéo TV – HDMI"



- **Mode CPU**

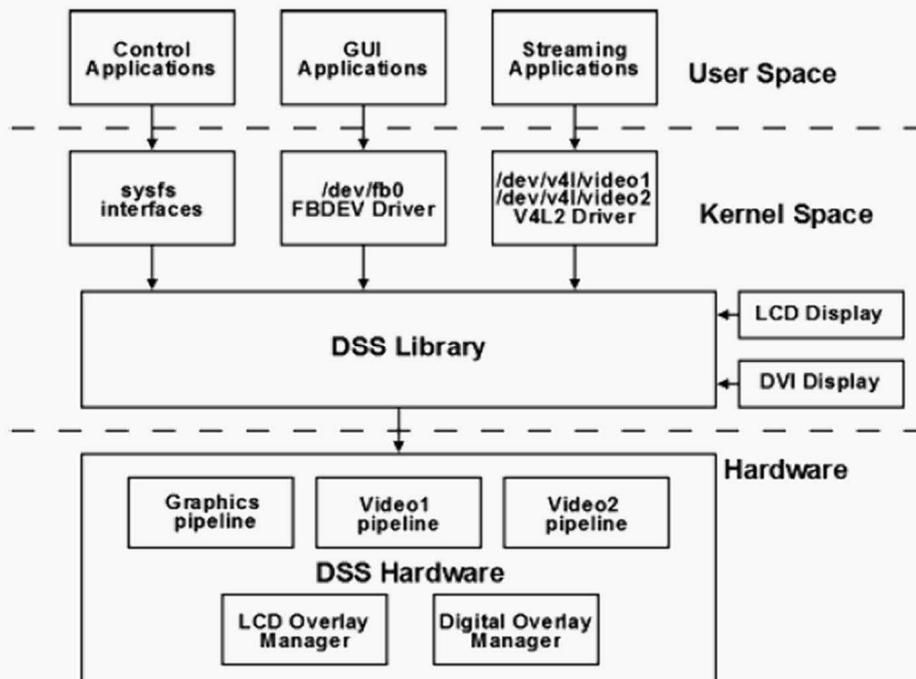
- Système de fichiers à base d'une distribution *Arago (Angstrom)* avec interface graphique *MATRIX* de Texas Instruments
- Application de lecture vidéo *mplayer* sur l'interface *fbdev (framebuffer)*
- TV connectée à la carte via HDMI (*dvi*) et sortie audio (*audio line*)



Démo "Vidéo TV – HDMI"



- Accès au DSS (Display Sub-System)





- Merci pour votre attention !



- N'hésitez pas à venir tester vous-même la plateforme REPTAR !...
- Contact / Renseignements: reds@heig-vd.ch